

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



PATENT

THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of: Sung-Kwon LEE, et al.

Serial No.: 10/607,052

Group Art Unit: 2812

Filed: June 27, 2003

Examiner: Gurley, Lynne Ann

For: METHOD FOR FABRICATING SEMICONDUCTOR DEVICE CAPABLE OF
REDUCING SEAM GENERATIONS

* * * * *

PETITION

Honorable Commissioner for Patents
Mail Stop Petitions
Alexandria, VA 22313-1450

April 7, 2004

Sir:

On Monday, April 5, 2004, Applicants submitted a Petition in connection with the above-identified application. However, the documentation provided in support thereof was inadvertently omitted. Accordingly, this Petition is being hereby resubmitted with the appropriate documentation attached. Applicants request that the Petition filed on April 5, 2004 be disregarded.

As discussed with Sr. Petitions Attorney Doug Woods on April 1, 2004, the above-identified application has been mistakenly merged with another patent application titled "FLASH MEMORY DEVICE" with the same filing date - June 27, 2003. As such, an official Filing Receipt has yet to be issued for the other patent application. The respective postcards which have the filing date stamped by the United States Patent and Trademark Office provide evidence of the error. The respective Notices of Recordation of

Assignment Document also provide evidence of the error as they list the same serial number.

Further, a Notice of Allowance has been issued for the above-identified application. However, some of the information pertaining to the above-identified application is incorrect since it was merged with the other patent application that was filed on the same day. For example, the Notice of Allowance lists the inventor of the other patent application as the first named inventor. In addition, it appears that the priority of the other patent application - Foreign Application No. 2002-72240 - has been included in the above-identified application. The official Filing Receipt in connection with the above-identified application provides evidence of this error. Enclosed herewith are copies of the respective applications and related documents. We respectfully request that the two applications be separated and considered separately as they were filed.

Since the error was made by the United States Patent and Trademark Office, it is respectfully submitted that no fee is required by this Petition. However, the Commissioner is hereby authorized to debit any fees that may be necessary to Deposit Account No. 06-1358.

If any issues arise, the Examiner is cordially invited to telephone the undersigned attorney at the number listed below.

Respectfully submitted,

By: Yoon S. Ham by Eugene C. Bradley
Yoon S. Ham
Reg. No. 45,307 Reg No 40,495
Direct Tel.: (202) 662-8483

JACOBSON HOLMAN PLLC
The Jenifer Building
400 Seventh Street, N.W.
Washington, D.C. 20004-2201
(202) 638-6666

Atty. Docket: P68950US0
YSH:dj

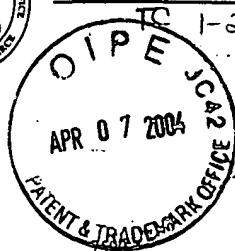


DJG 1/20/04

Rita

UNITED STATES PATENT AND TRADEMARK OFFICE

P68950USD



NOTICE OF ALLOWANCE AND FEE(S) DUE

01/15/2004

JACOBSON, PRICE, HOLMAN & STERN
PROFESSIONAL LIMITED LIABILITY COMPANY
400 Seventh Street, N.W.
Washington, DC 20004

JACOBSON HOLMAN PLLC

Issue Fee Due On Or Before

4 1 15 1 04
Month Day Year

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

EXAMINER

GURLEY, LYNNE ANN

ART UNIT

PAPER NUMBER

2812

DATE MAILED: 01/15/2004

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
-----------------	-------------	----------------------	---------------------	------------------

10/607,052

06/27/2003

Hyeok Kang

P68950USO

4134

TITLE OF INVENTION: METHOD FOR FABRICATING SEMICONDUCTOR DEVICE CAPABLE OF REDUCING SEAM GENERATIONS

APPLN. TYPE	SMALL ENTITY	ISSUE FEE	PUBLICATION FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	NO	\$1330	\$300	\$1630	04/15/2004

THE APPLICATION IDENTIFIED ABOVE HAS BEEN EXAMINED AND IS ALLOWED FOR ISSUANCE AS A PATENT PROSECUTION ON THE MERITS IS CLOSED. THIS NOTICE OF ALLOWANCE IS NOT A GRANT OF PATENT RIGHT THIS APPLICATION IS SUBJECT TO WITHDRAWAL FROM ISSUE AT THE INITIATIVE OF THE OFFICE OR UPO PETITION BY THE APPLICANT. SEE 37 CFR 1.313 AND MPEP 1308.

THE ISSUE FEE AND PUBLICATION FEE (IF REQUIRED) MUST BE PAID WITHIN THREE MONTHS FROM THE MAILING DATE OF THIS NOTICE OR THIS APPLICATION SHALL BE REGARDED AS ABANDONED. THE STATUTORY PERIOD CANNOT BE EXTENDED. SEE 35 U.S.C. 151. THE ISSUE FEE DUE INDICATED ABOVE REFLECTS A CREDIT FOR ANY PREVIOUSLY PAID ISSUE FEE APPLIED IN THIS APPLICATION. THE PTOL-85B (O AN EQUIVALENT) MUST BE RETURNED WITHIN THIS PERIOD EVEN IF NO FEE IS DUE OR THE APPLICATION WILL BE REGARDED AS ABANDONED.

HOW TO REPLY TO THIS NOTICE:

I. Review the SMALL ENTITY status shown above.

If the SMALL ENTITY is shown as YES, verify your current SMALL ENTITY status:

A. If the status is the same, pay the TOTAL FEE(S) DUE shown above.

B. If the status is changed, pay the PUBLICATION FEE (if required) and twice the amount of the ISSUE FEE shown above and notify the United States Patent and Trademark Office of the change in status, or

If the SMALL ENTITY is shown as NO:

A. Pay TOTAL FEE(S) DUE shown above, or

B. If applicant claimed SMALL ENTITY status before, or is now claiming SMALL ENTITY status, check the box below and enclose the PUBLICATION FEE and 1/2 the ISSUE FEE shown above.

☐ Applicant claims SMALL ENTITY status.
See 37 CFR 1.27.

II. PART B - FEE(S) TRANSMITTAL should be completed and returned to the United States Patent and Trademark Office (USPTO) with your ISSUE FEE and PUBLICATION FEE (if required). Even if the fee(s) have already been paid, Part B - Fee(s) Transmittal should be completed and returned. If you are charging the fee(s) to your deposit account, section "4b" of Part B - Fee(s) Transmittal should be completed and an extra copy of the form should be submitted.

III. All communications regarding this application must give the application number. Please direct all communications prior to issuance to Mail Stop ISSUE FEE unless advised to the contrary.

IMPORTANT REMINDER: Utility patents issued on applications filed on or after Dec. 12, 1980 may require payment of maintenance fees. It is the patentee's responsibility to ensure timely payment of maintenance fees when due.

PART B - FEE(S) TRANSMITTAL

Complete and send this form, together with applicable fee(s), to: **Mail**

**Mail Stop ISSUE FEE
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450
(703) 746-4000**

or **Fax**

INSTRUCTIONS: This form should be used for transmitting the **ISSUE FEE** and **PUBLICATION FEE** (if required). Blocks 1 through 4 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Legibly mark-up with any corrections or use Block 1)

7590 01/15/2004

**JACOBSON, PRICE, HOLMAN & STERN
PROFESSIONAL LIMITED LIABILITY COMPANY
400 Seventh Street, N.W.
Washington, DC 20004**



Note: A certificate of mailing can only be used for domestic mailings of Fee(s) Transmittal. This certificate cannot be used for any other accompany papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

Certificate of Mailing or Transmission

I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being facsimile transmitted to the USPTO, on the date indicated below.

(Depositor's name)
(Signature)
(Date)

APPLICATION NO.	FILING DATE	FIRST-NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
-----------------	-------------	----------------------	---------------------	------------------

10/607,052	06/27/2003	Hyeok Kang	P68950US0	4134
------------	------------	------------	-----------	------

TITLE OF INVENTION: METHOD FOR FABRICATING SEMICONDUCTOR DEVICE CAPABLE OF REDUCING SEAM GENERATIONS

APPLN. TYPE	SMALL ENTITY	ISSUE FEE	PUBLICATION FEE	TOTAL FEE(S) DUE	DATE DUE
-------------	--------------	-----------	-----------------	------------------	----------

nonprovisional	NO	\$1330	\$300	\$1630	04/15/2004
----------------	----	--------	-------	--------	------------

EXAMINER	ART UNIT	CLASS-SUBCLASS
----------	----------	----------------

GURLEY, LYNNE ANN	2812	438-586000
-------------------	------	------------

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).

2. For printing on the patent front page, list (1) the names of up to 3 registered patent attorneys or agents OR, alternatively, (2) the name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed.

- ☐ Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached.
- ☐ "Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-02 or more recent) attached. Use of a Customer Number is required.

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. Inclusion of assignee data is only appropriate when an assignment has been previously submitted to the USPTO or is being submitted under separate cover. Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE

(B) RESIDENCE: (CITY and STATE OR COUNTRY)

Please check the appropriate assignee category or categories (will not be printed on the patent); ☐ individual ☐ corporation or other private group entity ☐ government

4a. The following fee(s) are enclosed:

- ☐ Issue Fee
- ☐ Publication Fee
- ☐ Advance Order - # of Copies _____

4b. Payment of Fee(s):

- ☐ A check in the amount of the fee(s) is enclosed.
- ☐ Payment by credit card. Form PTO-2038 is attached.
- ☐ The Director is hereby authorized by charge the required fee(s), or credit any overpayment Deposit Account Number _____ (enclose an extra copy of this form).

Director for Patents is requested to apply the Issue Fee and Publication Fee (if any) or to re-apply any previously paid issue fee to the application identified above.

(Authorized Signature)

(Date)

NOTE: The Issue Fee and Publication Fee (if required) will not be accepted from anyone other than the applicant; a registered attorney or agent; or the assignee or other party in interest as shown by the records of the United States Patent and Trademark Office.

This collection of information is required by 37 CFR 1.311. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, Alexandria, Virginia 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, Alexandria, Virginia 22313-1450.

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
10/607,052	06/27/2003	Hyeok Kang	P68950US0	4134

7590 01/15/2004
JACOBSON, PRICE, HOLMAN & STERN
PROFESSIONAL LIMITED LIABILITY COMPANY
400 Seventh Street, N.W.
Washington, DC 20004

EXAMINER

GURLEY, LYNNE ANN

ART UNIT PAPER NUMBER

2812

DATE MAILED: 01/15/2004

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b) (application filed on or after May 29, 2000)

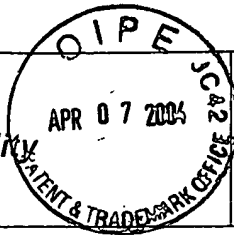
The Patent Term Adjustment to date is 0 day(s). If the issue fee is paid on the date that is three months after the mailing date of this notice and the patent issues on the Tuesday before the date that is 28 weeks (six and a half months) after the mailing date of this notice, the Patent Term Adjustment will be 0 day(s).

If a Continued Prosecution Application (CPA) was filed in the above-identified application, the filing date that determines Patent Term Adjustment is the filing date of the most recent CPA.

Applicant will be able to obtain more detailed information by accessing the Patent Application Information Retrieval (PAIR) system (<http://pair.uspto.gov>).

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office Patent Legal Administration at (703) 305-1383. Questions relating to issue and publication fee payments should be directed to the Customer Service Center of the Office of Patent Publication at (703) 305-8283.

Notice of Allowability



Application No.

10/607,052

Examiner

Lynne A. Gurley

Applicant(s)

KANG ET AL.

Art Unit

2812

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address--

All claims being allowable, PROSECUTION ON THE MERITS IS (OR REMAINS) CLOSED in this application. If not included herewith (or previously mailed), a Notice of Allowance (PTOL-85) or other appropriate communication will be mailed in due course. **THIS NOTICE OF ALLOWABILITY IS NOT A GRANT OF PATENT RIGHTS.** This application is subject to withdrawal from issue at the initiative of the Office or upon petition by the applicant. See 37 CFR 1.313 and MPEP 1308.

1. ☒ This communication is responsive to the application filed 6/27/03.
2. ☒ The allowed claim(s) is/are 1-18.
3. ☒ The drawings filed on 27 June 2003 are accepted by the Examiner.
4. ☒ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).
 - a) ☒ All b) ☐ Some* c) ☐ None of the:
 1. ☒ Certified copies of the priority documents have been received.
 2. ☐ Certified copies of the priority documents have been received in Application No. _____.
 3. ☐ Copies of the certified copies of the priority documents have been received in this national stage application from the International Bureau (PCT Rule 17.2(a)).
- * Certified copies not received: _____.
5. ☐ Acknowledgment is made of a claim for domestic priority under 35 U.S.C. § 119(e) (to a provisional application) since a specific reference was included in the first sentence of the specification or in an Application Data Sheet. 37 CFR 1.78.
 - (a) ☐ The translation of the foreign language provisional application has been received.
6. ☐ Acknowledgment is made of a claim for domestic priority under 35 U.S.C. §§ 120 and/or 121 since a specific reference was included in the first sentence of the specification or in an Application Data Sheet. 37 CFR 1.78.

Applicant has THREE MONTHS FROM THE "MAILING DATE" of this communication to file a reply complying with the requirements noted below. Failure to timely comply will result in ABANDONMENT of this application. **THIS THREE-MONTH PERIOD IS NOT EXTENDABLE.**

7. ☐ A SUBSTITUTE OATH OR DECLARATION must be submitted. Note the attached EXAMINER'S AMENDMENT or NOTICE OF INFORMAL PATENT APPLICATION (PTO-152) which gives reason(s) why the oath or declaration is deficient.
8. ☐ CORRECTED DRAWINGS (as "replacement sheets") must be submitted.
 - (a) ☐ including changes required by the Notice of Draftsperson's Patent Drawing Review (PTO-948) attached
 - 1) ☐ hereto or 2) ☐ to Paper No. _____.
 - (b) ☐ including changes required by the proposed drawing correction filed _____, which has been approved by the Examiner.
 - (c) ☐ including changes required by the attached Examiner's Amendment / Comment or in the Office action of Paper No. _____.

Identifying indicia such as the application number (see 37 CFR 1.84(c)) should be written on the drawings in the front (not the back) of each sheet. Replacement sheet(s) should be labeled as such in the margin according to 37 CFR 1.121(d).

9. ☐ DEPOSIT OF and/or INFORMATION about the deposit of BIOLOGICAL MATERIAL must be submitted. Note the attached Examiner's comment regarding REQUIREMENT FOR THE DEPOSIT OF BIOLOGICAL MATERIAL.

Attachment(s)

- | | |
|--|---|
| 1 <input checked="" type="checkbox"/> Notice of References Cited (PTO-892) | 5 <input type="checkbox"/> Notice of Informal Patent Application (PTO-152) |
| 2 <input type="checkbox"/> Notice of Draftsperson's Patent Drawing Review (PTO-948) | 6 <input type="checkbox"/> Interview Summary (PTO-413), Paper No. _____ |
| 3 <input type="checkbox"/> Information Disclosure Statements (PTO-1449 or PTO/SB/08), Paper No. _____ | 7 <input type="checkbox"/> Examiner's Amendment/Comment |
| 4 <input type="checkbox"/> Examiner's Comment Regarding Requirement for Deposit of Biological Material | 8 <input checked="" type="checkbox"/> Examiner's Statement of Reasons for Allowance |
| | 9 <input type="checkbox"/> Other |

Lynne A. Gurley
 LYNNE GURLEY
 PATENT EXAMINER
Art Unit 2812

REASONS FOR ALLOWANCE


1. The following is an examiner's statement of reasons for allowance: The closest prior art of record, Inoue (US 6,232,224) fails to teach, either alone or in combination, the combination of steps of the claimed invention, specifically including the step of "forming a capping layer having an over-hang structure on an upper part of each conductive pattern", as recited in claim 1; and the steps of "forming a capping layer having an over-hang structure on an upper part of each conductive pattern; weakening bonding forces between atoms contained in sidewalls of the capping layer with the use of an inert gas;" and, " extending an opening portion of the contact hole by performing a wet/cleaning/etching process and simultaneously removing the sidewalls of the capping layer", as recited in claim 12.

Any comments considered necessary by applicant must be submitted no later than the payment of the issue fee and, to avoid processing delays, should preferably accompany the issue fee. Such submissions should be clearly labeled "Comments on Statement of Reasons for Allowance."

Any inquiry concerning this communication or earlier communications from the examiner should be directed to Lynne A. Gurley whose telephone number is 703-305-3474. The examiner can normally be reached on M-F 7:30-4:00.

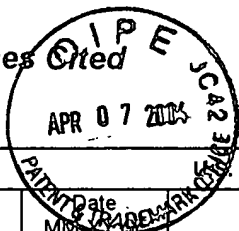
If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, John Niebling can be reached on 703-308-3325. The fax phone number for the organization where this application or proceeding is assigned is 703-872-9306.

Any inquiry of a general nature or relating to the status of this application or proceeding should be directed to the receptionist whose telephone number is 308-308-0956.


LYNNE GURLEY
PATENT EXAMINER
Art Unit 2812

LAG
January 12, 2004

Notice of References Cited



Application/Control No.

10/607,052

Applicant(s)/Patent Under
Reexamination
KANG ET AL

Examiner

Lynne A. Gurley

Art Unit

2812

Page 1 of 1

PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Name	Classification
*	A	US-6,232,224	05-2001	Inoue, Ken	438/639
*	B	US-US 2002/0090837	07-2002	Chung et al.	438/980
*	C	US-6,258,678	07-2001	Liaw	438/303
	D	US-			
	E	US-			
	F	US-			
	G	US-			
	H	US-			
	I	US-			
	J	US-			
	K	US-			
	L	US-			
	M	US-			

FOREIGN PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Country	Name	Classification
	N					
	O					
	P					
	Q					
	R					
	S					
	T					

NON-PATENT DOCUMENTS

*		Include as applicable: Author, Title Date, Publisher, Edition or Volume, Pertinent Pages)
	U	
	V	
	W	
	X	

*A copy of this reference is not being furnished with this Office action. (See MPEP § 707.05(a).)
Dates in MM-YYYY format are publication dates. Classifications may be US or foreign.



PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of: Sung-Kwon LEE, et al.

Serial No.: 10/607,052

Group Art Unit: 2812

Filed: June 27, 2003

Examiner: Not Yet Assigned

Title: METHOD FOR FABRICATING SEMICONDUCTOR DEVICE CAPABLE OF
REDUCING SEAM GENERATIONS

* * * * *

CLAIM FOR PRIORITY
UNDER 35 U.S.C. §119

Honorable Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

September 25, 2003

Sir:

The benefit of the filing date of prior foreign application
No. 2002-37257, filed in Korea on June 29, 2002, is hereby
requested and the right of priority provided in 35 U.S.C. §119 is
hereby claimed.

In support of this claim, filed herewith is a certified copy
of said original foreign application.

Respectfully submitted,

By: Yoon S. Ham by Susan C. Taylor
Yoon S. Ham
Reg. No. 45,307 Reg. No. 40,495

JACOBSON HOLMAN, PLLC
The Jenifer Building
400 Seventh Street, N.W.
Washington, D.C. 20004-2201
Telephone: (202) 638-6666

Atty. Docket No.: P68950US0
YSH:dj



대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

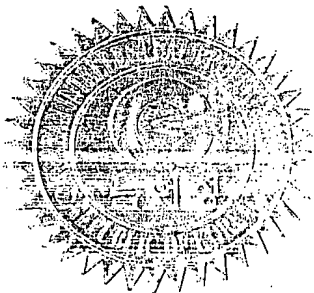
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2002-0037257
Application Number

출원 년 월 일 : 2002년 06월 29일
Date of Application JUN 29, 2002

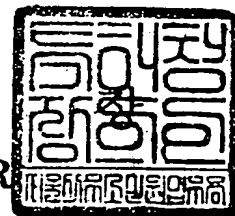
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 05 월 14 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	명세서 등 보정서
【수신처】	특허청장
【제출일자】	2003.03.21
【제출인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【사건과의 관계】	출원인
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【사건의 표시】	
【출원번호】	10-2002-0037257
【출원일자】	2002.06.29
【심사청구일자】	2002.03.21
【발명의 명칭】	플러그 심을 억제할 수 있는 반도체소자 제조방법
【제출원인】	
【접수번호】	1-1-02-0207245-84
【접수일자】	2002.06.29
【보정할 서류】	명세서등
【보정할 사항】	
【보정대상항목】	별지와 같음
【보정방법】	별지와 같음
【보정내용】	별지와 같음
【취지】	특허법시행규칙 제13조·실용신안법시행규칙 제8조의 규정에의하여 위와 같 이 제출합니다. 대리인 특허법인 신성 (인)
【수수료】	
【보정료】	0 원
【추가심사청구료】	0 원
【기타 수수료】	0 원
【합계】	0 원

1020020037257

출력 일자: 2003/5/15

【첨부서류】

1. 보정내용을 증명하는 서류[발명의상세한설명, 특허청구범위, 도면보정]_1통

【보정대상항목】 식별번호 17

【보정방법】 정정

【보정내용】

SAC에 의한 플러그 식각시 T형 플러그 마스크 또는 I형 플러그 마스크를 이용하는 데, 이는 플러그 간을 절연시키기 위한 산화막을 식각하여 플러그 콘택홀을 형성한 후, 플러그 콘택홀에 예컨대, 폴리실리콘을 증착하고 이를 화학기계적 연마(Chemical Mechanical Polishing; 이하 CMP라 함) 공정으로 평탄화시켜 콘택홀에 플러그를 매립시키는 기술인 바, 층간절연막(Inter Layer Dielectric; ILD)에 의해 절연된 하부 전도층과 상부 전도층 간의 콘택을 실시함에 있어서, 콘택홀 형성후 이 콘택홀 내부에만 폴리실리콘 등의 플러그 물질을 매립하여 플러그를 형성하는 이러한 방법이 널리 사용되고 있다.

【보정대상항목】 식별번호 27

【보정방법】 정정

【보정내용】

활성영역(101)은 보통 반도체 기판(100)의 상부에서 보아 예를 들어, 긴 타원 형태로 형성한다. 반도체 기판(100) 상에 산화막 계열의 게이트절연막(도시하지 않음)을 사이에 두고, 게이트 전극용 전도막(104a) 및 게이트 하드마스크(104b)를 차례로 형성한다. 상기 게이트절연막은 예를 들어, 50Å ~ 100Å의 두께 범위 내로 형성된다.

【보정대상항목】 식별번호 29

【보정방법】 정정

【보정내용】

게이트 하드마스크(104b)는 후속 공정으로 형성되는 층간절연막(108)과 식각 선택비를 갖는 물질 예를 들어, 실리콘 질화막(siliconnitride layer) 등을 이용한다.

【보정대상항목】 식별번호 31

【보정방법】 정정

【보정내용】

게이트전극(104a) 양측의 활성영역(101)에 LDD(lightly doped drain) 구조를 위한 저농도 소오스/드레인 불순물 이온을 주입한다. 게이트전극(104a) 및 게이트 하드마스크(104b)를 포함하여 반도체 기판(100) 전면에서 게이트 스페이서 형성용 절연막(106)을 증착하는 바, 스페이서용 절연막(106)은 게이트 하드마스크(104b)와 마찬가지로, 후속 공정에 의해 형성되는 층간절연막(108)과 식각선택비를 갖는 물질 예를 들어, 질화물을 이용하여 300Å ~ 1000Å의 두께로 형성하고, 바람직하게는 약 500Å의 두께로 형성한다.

【보정대상항목】 식별번호 34

【보정방법】 정정

【보정내용】

다음, CMP 공정 또는 전면식각 공정을 실시하여 층간절연막(108)을 평탄화시키고, 게이트 하드마스크(104b) 상에 약 1000 Å의 두께(t)가 남도록 한다.

【보정대상항목】 식별번호 42

【보정방법】 정정

【보정내용】

이어서, 게이트 하드마스크(104b)의 상부 표면이 노출될 때까지 층간절연막(108) 및 폴리실리콘막(112)을 CMP 공정으로 평탄화 식각 하면, 도 3e에 도시된 바와 같이, 스토리지노드 콘택 플러그(112a) 및 비트라인 콘택 플러그(112b)가 서로 전기적으로 분리된다. 층간절연막(108) 및 폴리실리콘막(112)에 대한 CMP 공정은 통상의 산화막 식각용 슬러리를 사용하여 수행된다.

【보정대상항목】 식별번호 44

【보정방법】 정정

【보정내용】

심 현상은 소자의 집적도가 증가하여 개구부의 면적이 감소함에 따라 더욱 심화되며, 특히 전술한 종래기술에서와 같이 스페이서용 절연막을 식각하여 게이트 상단부에서 경사를 갖도록 하는 것은 이러한 심 현상을 심화시키는 원인이 된다.

【보정대상항목】 식별번호 45

【보정방법】 정정

【보정내용】

한편, 전술한 방법이외에 콘택영역을 충분히 확보하기 위해 스페이서용 절연막 위에서 식각멈춤을 한 다음, 포토레지스트 스트립과 습식세정을 실시한 후, 콘택영역에서의 질화막 즉, 스페이서용 절연막 제거 단계에서 후속 공정인 소자간 격리 단계에서 충분한 게이트 상층부의 하드마스크 두께를 확보하기 위해 피복특성이 열악한 PECVD(Plasma Enhanced Chemical Vapor Deposition) 산화막 또는 USG(Undoped Silicate Glass)막을 증착하여 습식세정으로 게이트 하드마스크에만 산화막을 남긴 다음에 건식식각으로 질화막을 제거하는 공정을 실시하는 방법이 사용된다.

【보정대상항목】 식별번호 46

【보정방법】 정정

【보정내용】

이 경우에는 산화막 습식세정시 절연막의 언더컷이 발생하여 후속 SAC 플러그 형성시 심 현상을 유발시킨다. 아울러, 콘택영역을 확장하기 위해 습식세정 시간을 늘릴 수록 심 현상은 더욱 심해진다.

【보정대상항목】 식별번호 48

【보정방법】 정정

【보정내용】

도 4를 참조하면, 전술한 바와 같이 화살표 방향으로 습식 세정시간을 증가 시킬수록 심(X) 발생이 증가함을 알 수 있다.

【보정대상항목】 식별번호 51

【보정방법】 정정

【보정내용】

본 발명은 반도체 소자 제조 공정 중 SAC 식각후 버퍼산화막 증착 전에 질화막 등의 어택방지막을 증착함으로써, 후속 세정 공정에 따른 절연막의 언더컷을 방지하여 콘택홀 형성을 위한 식각 단면에서의 보잉 프로파일 발생을 방지하여 폴리실리콘 플러그의 심 현상을 방지할 수 있도록 한다.

【보정대상항목】 식별번호 69

【보정방법】 정정

【보정내용】

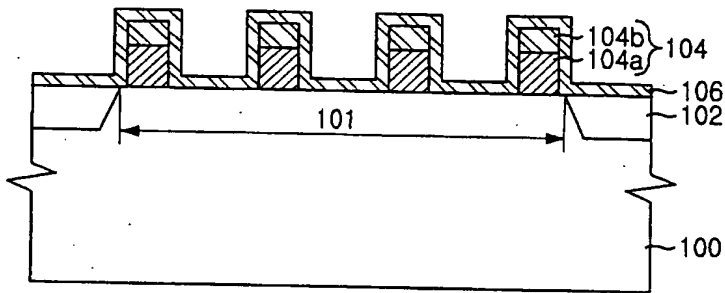
어택방지막(513)은 습식세정에 따른 케미컬이 층간절연막(508)에 직접 닿지 않도록 막아주는 역할만을 할 수 있으면 되고, 또한 콘택영역의 감소를 최소화하기 위해 10Å ~ 100Å 정도로 얇게 증착하는 것이 바람직하다.

【보정대상항목】 도 3a

【보정방법】 정정

【보정내용】

【도 3a】

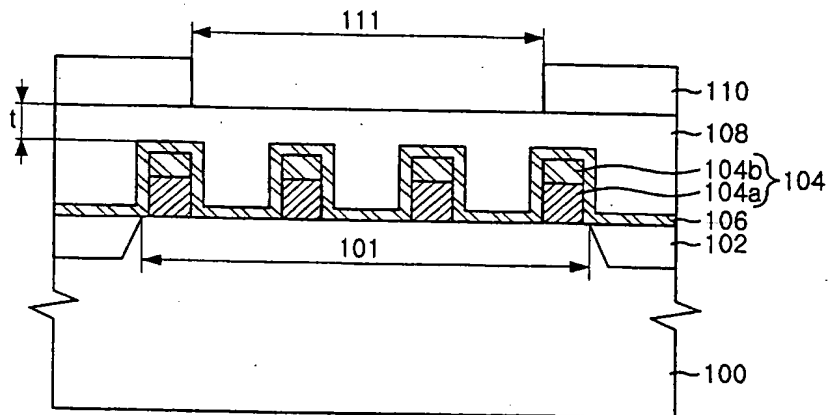


【보정대상항목】 도 3b

【보정방법】 정정

【보정내용】

【도 3b】

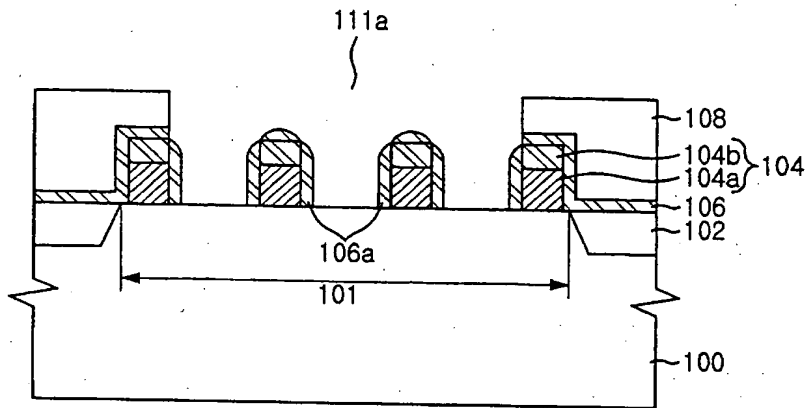


【보정대상항목】 도 3c

【보정방법】 정정

【보정내용】

【도 3c】

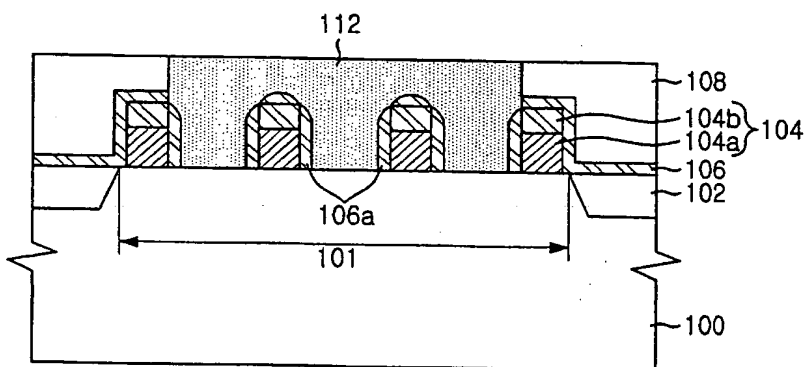


【보정대상항목】 도 3d

【보정방법】 정정

【보정내용】

【도 3d】

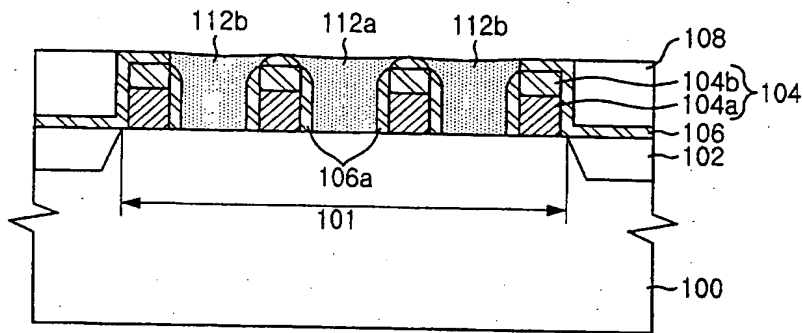


【보정대상항목】 도 3e

【보정방법】 정정

【보정내용】

【도 3e】



【서지사항】

【서류명】
 【권리구분】
 【수신처】
 【참조번호】
 【제출일자】
 【발명의 명칭】
 【발명의 영문명칭】

특허출원서

특허

특허청장

0007

2002.06.29

플러그 심을 억제할 수 있는 반도체소자 제조방법
 METHOD FOR FABRICATING SEMICONDUCTOR DEVICE WITH
 IMPROVED REDUCTION OF SEAM

【출원인】

【명칭】

주식회사 하이닉스반도체

【출원인코드】

1-1998-004569-8

【대리인】

【명칭】

특허법인 신성

【대리인코드】

9-2000-100004-8

【지정된변리사】

변리사 정지원, 변리사 원석희, 변리사 박해천

【포괄위임등록번호】

2000-049307-2

【발명자】

【성명의 국문표기】

이성권

【성명의 영문표기】

LEE, Sung Kwon

【주민등록번호】

640301-1268621

【우편번호】

467-860

【주소】

경기도 이천시 부발읍 현대7차아파트 706-1401

【국적】

KR

【취지】

특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대
 리인
 성 (인) 특허법인 신

【수수료】

【기본출원료】

20 면 29,000 원

【가산출원료】

10 면 10,000 원

【우선권주장료】

0 건 0 원

【심사청구료】

0 항 0 원

【합계】

39,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】

【요약】

본 발명은 반도체소자 제조방법에 관한 것으로, 특히 절연막의 언더컷에 의한 폴리 실리콘 플러그의 심 현상을 방지하기에 적합한 반도체소자 제조방법을 제공하기 위한 것으로, 이를 위해 본 발명은, 기판 상에 이웃하는 다수의 게이트전극을 형성하는 단계; 상기 게이트전극을 포함한 프로파일을 따라 스페이서용 절연막과 그 전면에 층간절연막을 차례로 형성하는 단계; 상기 층간절연막을 선택적으로 식각하여 상기 게이트전극 사이의 상기 스페이서용 절연막을 노출시키는 콘택홀을 형성하는 단계; 상기 콘택홀이 형성된 프로파일을 따라 케미컬에 의한 상기 층간절연막의 어택을 방지하기 위한 어택방지막을 형성하는 단계; 상기 어택방지막 상에 오버행 구조의 희생절연막을 형성하는 단계; 상기 콘택홀 저면을 습식세정하여 개구부를 확장하는 단계; 상기 콘택홀 저면의 상기 스페이서용 절연막과 상기 어택방지막을 선택적으로 제거하여 상기 기판 표면을 노출시키는 단계; 상기 노출된 기판 표면에 도통되도록 전도막을 형성하는 단계; 및 상기 전도막과 상기 층간절연막을 평탄화시켜 격리된 플러그를 형성하는 단계를 포함하는 반도체소자 제조방법을 제공한다.

【대표도】

도 5f

【색인어】

심(Seam), SAC, 비트라인, 플러그, 비트라인콘택, 스토리지노드 콘택.

【명세서】

【발명의 명칭】

플러그 심을 억제할 수 있는 반도체소자 제조방법{METHOD FOR FABRICATING SEMICONDUCTOR DEVICE WITH IMPROVED REDUCTION OF SEAM}

【도면의 간단한 설명】

도 1은 폴리실리콘 플러그 형성 후의 공정 평면을 도시한 SEM 사진.

도 2는 폴리실리콘 플러그 형성 후의 공정 단면을 도시한 SEM 사진.

도 3a 내지 도 3e는 종래기술에 따른 반도체소자의 자기정렬콘택 형성 공정을 도시한 단면도.

도 4는 세정 시간 증가에 따른 폴리실리콘 플러그의 심 발생을 도시한 평면 SEM 사진.

도 5a 내지 도 5f는 본 발명에 따른 반도체소자의 자기정렬콘택 형성 공정을 도시한 단면도.

도 6은 게이트전극 패턴과 절연막 패턴을 포함하는 반도체소자를 개략적으로 도시한 평면도.

* 도면의 주요부분에 대한 부호의 설명 *

500 : 기판 501 : 활성영역

502 : 소자격리막 504a : 게이트전극

504b : 게이트 하드마스크 506a : 스페이서

508 : 층간절연막

512b : 비트라인 콘택 플러그 513a : 어택방지막

512a : 스토리지노드 콘택 플러그

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<14> 본 발명은 반도체소자 제조방법에 관한 것으로 특히, 자기정렬콘택(Self Align Contact; 이하 SAC라 함) 플러그 형성 단계에서의 폴리실리콘 플러그의 심(Seam) 억제 방법에 관한 것이다.

<15> 소자의 집적도 향상을 통하여 포토레지스트를 이용한 패턴 형성 공정 자체의 마진과 오버레이의 정확도(Overlay accuracy)를 안정적으로 확보하기가 어렵게 됨에 따라, SAC 공정이 도입되었는 바, SAC 공정은 콘택홀 등의 패턴을 형성함에 있어서 별도의 마스크를 사용하지 않고 이미 증착된 물질을 이용하여 식각을 하는 방식으로 비용 감소에 큰 역할을 하는 것으로, SAC 공정 자체는 여러가지 방법을 사용하고 있으나 대표적인 방법으로는 질화막을 식각방지막으로 사용한다.

<16> 또한, 집적도 증가에 따라 층간 콘택 공정이 적용되었고, 이러한 층간 콘택을 이용한 플러그가 도입되었다. 예컨대, 0.15 μ m급 반도체소자에서는

비트라인콘택(Bitline contact)과 스토리지노드콘택(Storage node contact)을 형성할 때 원형(Hole type) 콘택마스크를 사용하는데, 이는 사진식각공정의 오정렬(Mis-alignment)로 인하여 콘택영역 확보에 어려움이 있다. 이를 개선하기 위하여 이중의 절연막질간 예컨대, 산화막과 질화막의 식각선택비 차이를 이용하는 전술한 바와 같은 SAC 공정을 도입하였다.

<17> SAC에 의한 플러그 식각시 T형 플러그 마스크 또는 I형 플러그 마스크를 이용하는데, 이는 플러그간을 절연시키기 위한 산화막을 식각하여 플러그 콘택홀을 형성한 후, 플러그 콘택홀에 예컨대, 폴리실리콘을 증착하고 이를 화학기계적연마(Chemical Mechanical Polishing; 이하 CMP라 함) 공정으로 평탄화시켜 콘택홀에 플러그를 매립시키는 기술인 바, 층간절연막(Inter Layer Dielectric; ILD)에 의해 절연된 하부전도층과 상부전도층간의 콘택을 실시함에 있어서, 콘택홀 형성후 이 콘택홀 내부에만 폴리실리콘 등의 플러그 물질을 매립하여 플러그를 형성하는 이러한 방법이 널리 사용되고 있다.

<18> 한편, 이러한 SAC 형성 단계에서의 문제점 중의 하나가 절연막의 언더컷(Undercut)에 의한 토폴로지(Topology)의 열화로 인해 폴리실리콘을 플러그 물질로 사용하는 경우에 심이 발생하기 쉽다는 것이다.

<19> 도 1은 폴리실리콘 플러그 형성 후의 공정 평면을 도시한 SEM 사진이다.

<20> 도 1을 참조하면, 스토리지노드콘택 플러그(SNC) 및 비트라인콘택 플러그(BLC)가 형성되어 있으며, 이러한 플러그들 중에 심(X)이 발생됨을 알 수 있다.

<21> 이러한 심의 발생은 SAC 식각 후 게이트 하드마스크와 절연막의 증착에 따라 형성된 프로파일 상의 문제에 기인하는 것으로 볼 수 있다.

도 2는 폴리실리콘 플러그 형성 후의 공정 단면을 도시한 SEM 사진이다.

<23> 도 2를 참조하면, 전술한 심의 발생은 절연막의 언더컷에 의한 네가티브 경사 (Negative slope, Y)에 기인하는 것으로 플러그 격리(Isolation) 후 이러한 취약 지역에 심(X)이 발생하는 것이 관찰된다.

<24> 전술한 심은 소자의 누설전류의 증가 등 소자의 특성을 열화시키는 주원인으로 작용한다.

<25> 도 3a 내지 도 3e는 종래기술에 따른 반도체소자의 자기정렬콘택 형성 공정을 도시한 단면도이다.

<26> 도 3a를 참조하면, 종래기술에 따른 반도체 메모리 장치의 SAC 플러그 형성 방법은 먼저, 반도체 기판(100) 상에 활성영역(101)과 비활성영역을 정의하기 위해 소자격리막(102)을 형성한다. 소자격리막(102)은 예컨대, LOCOS(LOCAl Oxidation of Silicon) 방법 또는 얇은 트렌치 격리(Shallow Trench Isolation; 이하 STI라 함) 방법 등을 이용한다.

<27> 활성영역(101)은 보통 반도체 기판(100)의 상부에서 보아 예를 들어, 긴 타원 형태로 형성한다. 반도체 기판(100) 상에 산화막 계열의 게이트절연막(도시하지 않음)을 사이에 두고, 게이트 전극용 전도막(104a) 및 게이트 하드마스크(104b)를 차례로 형성한다. 상기 게이트절연막은 예를 들어, 50Å 내지 100Å의 두께 범위 내로 형성된다

여기서, 게이트 전극용 전도막(104a)은 예컨대, 폴리실리콘막, 텅스텐, 텅스텐질화막 또는 텅스텐 실리사이드막(tungsten silicide) 등이 단독 또는 적층된 다층막으로 형성한다.

<29> 게이트 하드마스크(104b)는 후속 공정으로 형성되는 층간절연막(108)과 식각 선택비를 갖는 물질 예를 들어, 실리콘 질화막(siliconnitride layer)을 이용한다.

<30> 게이트 하드마스크(104b)는 1000 Å ~ 2000 Å의 두께로 형성한다.

<31> 게이트전극(104a) 양측의 활성영역(101)에 LDD(lightly doped drain) 구조를 위한 저농도 소오스/드레인 불순물 이온을 주입한다. 게이트전극(104a) 및 게이트 하드마스크(104b)를 포함하여 반도체 기판(100) 전면에서 게이트 스페이서형성용 절연막(106)을 증착하는 바, 스페이서용 절연막(106)은 게이트 하드마스크(104b)와 마찬가지로, 후속 공정에 의해 형성되는 층간절연막(108)과 식각선택비를 갖는 물질 예를 들어, 질화물을 이용하여 300 Å ~ 1000 Å의 두께로 형성하고, 바람직하게는 약 500 Å의 두께로 형성한다.

<32> 도면에는 도시되지 않았으나, 코어(core) 및 주변회로(peripheral) 영역이 오픈(open) 되도록 포토레지스트 패턴을 형성한다. 이 포토레지스트 패턴을 마스크로 사용하여 스페이서용 절연막(106)이 전면식각 공정으로 식각되어 코어 및 주변회로 영역의 게이트 스페이서를 형성한다. 이어서, 게이트 스페이서 양측의 활성 영역 상에 고농도 소오스/드레인 불순물 이온을 주입하여 코어 및 주변회로 영역의 트랜지스터를 완성한다. 이때, 셀 어레이 영역의 스페이서용 절연막(106)은 식각되지 않고 남게 되어, 후속 SAC 식각 공정시 층간절연막(108)에 대한 식각정지막(etch stopping layer)으로 사용된다.

도 3b에 있어서, 상기 스페이서용 절연막(106)을 포함하여 반도체 기판(100) 전면
에 층간절연막(108)을 형성한다. 층간절연막(108)은 예를 들어 산화막으로서, 공극
(void)을 발생시키지 않는 갭-필(gap-fill) 특성이 우수한 막질을 이용하여 3000Å ~
9000Å의 두께로 증착하고 바람직하게는, 약 5000Å의 두께를 갖도록 증착한다.

<34> 다음, CMP 공정 내지 전면식각 공정에 의해 층간절연막(108)을 평탄화시키고, 게이트
하드마스크(104b) 상에 약 1000Å의 두께(t)가 남도록 한다.

<35> 층간절연막(108) 상에 셀 어레이 영역의 SAC 형성 영역(111)이 오픈 되도록 포토레지스트
패턴(110)을 형성한다. 콘택 형성 영역(111)은 각각의 스토리지노드 콘택 영역
및 비트라인 콘택 영역일 수 있고, 스토리지노드 콘택 영역과 비트라인 콘택 영역을 하
나로 묶은 머지콘택 영역일 수도 있는 바, 여기서는 머지콘택 영역을 도시하였다. 머
지콘택 영역의 경우, 예를 들어 활성 영역(101) 및 비활성 영역의 일부를 포함하는 'T'
자 형으로 형성한다.

<36> 전술한 'T'자 형 머지콘택 영역의 경우, 각각의 스토리지노드 콘택 영역과 비트라인
콘택 영역 보다 그 크기가 크게 되어 콘택 영역의 크기가 작아질 때 발생하는 식각정
지 현상이 방지된다. 또한, Kohyama 등이 "A Fully Printable, Self-aligned and
Planarized Stacked Capacitor DRAM Cell Technology for 1Gbit DRAM and Beyond",
symp. on VLSItech. digest of technical papers, pp. 17 - 18, 1997 에서 제안한 구조
에 비해 포토레지스트 패턴이 차지하는 면적이 증가되어 식각 선택비가 향상된다.

<37> 도 3c에 있어서, 포토레지스트 패턴(110)을 식각마스크로 사용하여 게이트전극
(104a) 사이의 활성영역(101)의 일부가 노출될 때까지 층간절연막(108) 및 스페이서용

절연막(106)을 차례로 식각하여 콘택홀(111a)을 형성한다. 층간절연막(108) 식각시 스페이서용 절연막(106)이 식각정지층으로 사용된다.

- <38> 한편, 스페이서용 절연막(106)의 식각으로 게이트전극(104a) 및 게이트 하드마스크(104b)의 양측벽에 셀 어레이 영역의 게이트 스페이서(106a)가 형성된다.
- <39> SAC 플러그와 그 하부의 활성영역간의 접촉저항(contact resistance)을 감소시키기 위해 게이트 스페이서(106a) 양측의 활성영역 상에 불순물 이온을 주입한다.
- <40> 이어서 도 3d에 도시된 바와 같이, 포토레지스트 패턴(110)을 제거한 후, 콘택홀(111a)이 완전히 채워질 때까지 전면예 전도막 예를 들어, 폴리실리콘막(112)을 증착한다. 폴리실리콘막(112)은 3000Å ~ 7000Å의 두께로 증착한다.
- <41> 층간절연막(108)의 상부 표면이 노출될 때까지 CMP 또는 전면식각 공정으로 폴리실리콘막(112)을 평탄화 식각한다. 폴리실리콘막(112)을 CMP 공정으로 식각 하는 경우, 통상의 폴리실리콘 식각용 슬러리(slurry)를 사용한다.
- <42> 다음, 게이트 하드마스크(104b)의 상부 표면이 노출될 때까지 층간절연막(108) 및 폴리실리콘막(112)을 CMP 공정으로 평탄화 식각 하면 도 3e에 도시된 바와 같이, 스토리지노드 콘택 플러그(112a) 및 비트라인 콘택 플러그(112b)가 서로 전기적으로 분리된다. 층간절연막(108) 및 폴리실리콘막(112)에 대한 CMP 공정은 통상의 산화막 식각용 슬러리를 사용하여 수행된다.
- <43> 한편, 콘택 형성 영역(111)이 머지 콘택 영역이 아닌 경우, 스토리지노드 콘택 플러그(112a) 및 비트라인 콘택플러그(112b)를 서로 전기적으로 분리시키기 위한 평탄화 식각 공정을 생략한다.

심 현상은 소자의 집적도가 증가하여 개구부의 면적이 감소함에 따라 개구부의 면적이 감소하게 되어 더욱 심화되며, 특히 전술한 종래기술에서와 같이 스페이서용 절연막을 식각하여 게이트 상단부에서 경사를 갖도록 하는 것은 이러한 심 현상을 심화시키는 원인이 된다.

<45> 한편, 전술한 방법이외에 콘택영역을 충분히 확보하기 위해 스페이서용 절연막 위에서 식각멈춤을 한 다음, 포토레지스트 스트립과 습식세정을 실시한 후, 콘택영역에서의 질화막 즉, 스페이서용 절연막 제거단계에서 후속 공정인 소자간 격리 단계에서 충분한 게이트 상층부의 하드마스크 두께를 확보하기 위해 피복특성이 열악한 PECVD(Plasma Enhanced Chemical Vapor Deposition) 산화막을 증착하여 습식세정으로 게이트 하드마스크에만 산화막을 남긴 다음에 건식식각으로 질화막을 제거하는 공정을 실시하는 방법이 사용된다.

<46> 한편, 이 경우에는 산화막 습식세정시 절연막의 언더컷이 발생하여 후속 SAC 플러그 형성시 심 현상을 유발시킨다. 아울러, 콘택영역을 확장하기 위해 습식세정 시간을 늘릴 수록 심 현상은 더욱 심해진다.

<47> 도 4는 세정 시간 증가에 따른 폴리실리콘 플러그의 심 발생을 도시한 평면 SEM 사진이다.

<48> 도 4를 참조하면, 전술한 바와 같이 화살표 방향으로 세정시간을 증가할 수록 심(X) 발생이 증가함을 알 수 있다.

【발명이 이루고자 하는 기술적 과제】

본 발명은 상기한 종래기술의 문제점을 해결하기 위해 제안된 것으로서, 절연막의 언더컷에 의한 폴리실리콘 플러그의 심 현상을 방지하기에 적합한 반도체소자 제조방법을 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

<50> 상기의 목적을 달성하기 위해 본 발명은, 기판 상에 이웃하는 다수의 게이트전극을 형성하는 단계; 상기 게이트전극을 포함한 프로파일을 따라 스페이서용 절연막과 그 전면에 층간절연막을 차례로 형성하는 단계; 상기 층간절연막을 선택적으로 식각하여 상기 게이트전극 사이의 상기 스페이서용 절연막을 노출시키는 콘택홀을 형성하는 단계; 상기 콘택홀이 형성된 프로파일을 따라 케미컬에 의한 상기 층간절연막의 어택을 방지하기 위한 어택방지막을 형성하는 단계; 상기 어택방지막 상에 오버행 구조의 희생절연막을 형성하는 단계; 상기 콘택홀 저면을 습식세정하여 개구부를 확장하는 단계; 상기 콘택홀 저면의 상기 스페이서용 절연막과 상기 어택방지막을 선택적으로 제거하여 상기 기판 표면을 노출시키는 단계; 상기 노출된 기판 표면에 도통되도록 전도막을 형성하는 단계; 및 상기 전도막과 상기 층간절연막을 평탄화시켜 격리된 플러그를 형성하는 단계를 포함하는 반도체소자 제조방법을 제공한다.

본 발명은 반도체 소자 제조 공정 중 SAC 식각후 버퍼산화막 증착 전에 질화막을 증착함으로써, 후속 세정 공정에 따른 절연막의 언더컷을 방지하여 폴리실리콘 플러그의 심 현상을 방지하고자 한다.

<52> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부한 도 5a 내지 도 5f와 도 6을 참조하여 설명한다

<53> 도 6은 게이트전극 패턴과 절연막 패턴을 포함하는 반도체소자를 개략적으로 도시한 평면도이다.

<54> 도 6을 참조하면, 일방향으로 다수의 게이트전극 패턴(G)이 배치되어 있으며, 게이트전극(G)과 교차하는 방향으로 절연막 패턴(ILD)이 배치되어 있다.

<55> 전술한 도 6을 X-X'와 Y-Y' 방향으로 각각 절단한 단면을 도시한 도 5a 내지 도 5f를 참조하여 본 발명의 일실시예에 따른 반도체소자의 자기정렬콘택 형성 공정을 살펴본다.

<56> 도 5a를 참조하면, 본 발명에 따른 반도체 메모리 장치의 SAC 플러그 형성 방법은 먼저, 반도체 기판(500) 상에 활성영역(501)과 비활성영역을 정의하기 위해 소자격리막(502)을 형성한다. 소자격리막(502)은 예컨대, LOCOS 방법 또는 STI 방법 등을 이용한다.

활성영역(501)은 보통 반도체 기판(500)의 상부에서 보아 예를 들어, 긴 타원 형태로 형성한다. 반도체 기판(500) 상에 산화막 계열의 게이트절연막(도시하지 않음)을 사이에 두고, 게이트 전극용 전극(504a) 및 게이트 하드마스크(504b)를 차례로 형성한다. 여기서, 게이트절연막은 예를 들어, 50Å ~ 100Å의 두께로 형성한다.

<58> 여기서, 게이트 전극용 전도막은 예컨대, 폴리실리콘막, 텅스텐, 텅스텐질화막 또는 텅스텐 실리사이드막 등이 단독 또는 적층된 다층막으로 형성한다.

<59> 게이트 하드마스크(504b)는 후속 공정으로 형성되는 층간절연막(108)과 식각 선택비를 갖는 물질 예를 들어, 실리콘 질화막을 이용하며, 게이트 하드마스크(504b)는 1000Å ~ 2000Å의 두께로 형성한다.

<60> 게이트전극(504a) 양측의 활성영역(501)에 LDD 구조를 위한 저농도 소오스/드레인 불순물 이온을 주입한다. 게이트전극(504a) 및 게이트 하드마스크(504b)를 포함하여 반도체 기판(500) 전면에서 게이트 스페이서용 절연막(506)을 증착하는 바, 스페이서용 절연막(506)은 게이트 하드마스크(504b)와 마찬가지로, 후속 공정에 의해 형성되는 층간절연막(508)과 식각선택비를 갖는 물질 예를 들어, 질화물을 이용하여 300Å ~ 1000Å의 두께로 형성하고, 바람직하게는 약 500Å의 두께로 형성한다.

<61> 도면에는 도시되지 않았으나, 코아 및 주변회로 영역이 오픈 되도록 포토레지스트 패턴을 형성한다. 이 포토레지스트 패턴을 마스크로 사용하여 스페이서용 절연막(506)이 전면식각 공정으로 식각 되어 코아 및 주변회로 영역의 게이트 스페이서를 형성한다. 이어서, 게이트 스페이서 양측의 활성 영역 상에 고농도 소오스/드레인 불순물 이온을 주입하여 코아 및 주변회로 영역의 트랜지스터를 완성한다. 이때, 셀 어레이 영역의 스

페이서용 절연막(506)은 식각되지 않고 남게 되어, 후속 SAC 식각 공정시 층간절연막(508)에 대한 식각정지막으로 사용된다.

<62>

도 5b에 있어서, 스페이서용 절연막(506)을 포함한 반도체 기판(500) 전면의 층간절연막(508)을 형성한다. 층간절연막(508)은 예를 들어 산화막으로서, BPSG(BoroPhospho Silicate Glass)막, SOG(Spin On Glass)막, PE(Plasma Enhanced)산화막 등과 공극을 발생시키지 않는 겹-필 특성이 우수한 막 예컨대, APL(Advanced Planarization Layer)막 등을 이용하여 3000Å ~ 9000Å의 두께로 증착하고 바람직하게는, 약 5000Å의 두께를 갖도록 증착한다.

<63>

다음, CMP 공정 내지 전면식각 공정에 의해 층간절연막(508)을 평탄화시키고, 게이트 하드마스크(504b) 상에 약 1000Å의 두께(t)가 남도록 한다.

<64>

층간절연막(508) 상에 셀 어레이 영역의 SAC 형성 영역(511)이 오픈 되도록 포토레지스트 패턴(510)을 형성한다. 콘택 형성 영역(511)은 각각의 스토리지노드 콘택 영역 및 비트라인 콘택 영역일 수 있고, 스토리지노드 콘택 영역과 비트라인 콘택 영역을 하나로 묶은 머지콘택 영역일 수도 있는 바, 여기서는 머지콘택 영역을 도시하였다. 머지콘택 영역의 경우, 예를 들어 활성 영역(501) 및 비활성 영역의 일부를 포함하는 'T'자 형으로 형성한다.

<65>

전술한 'T'자 형 머지콘택 영역의 경우, 각각의 스토리지노드 콘택 영역과 비트라인 콘택 영역 보다 그 크기가 크게 되어 콘택 영역의 크기가 작아질 때 발생하는 식각정지 현상이 방지된다. 또한, Kohyama 등이 "A Fully Printable, Self-aligned and Planarized Stacked Capacitor DRAM Cell Technology for 1Gbit DRAM and Beyond",

symp. on VLSItech. digest of technical papers, pp. 17 - 18, 1997 에서 제안한 구조에 비해 포토레지스트 패턴이 차지하는 면적이 증가되어 식각 선택비가 향상된다.

<66> 도 5c에 있어서, 포토레지스트 패턴(510)을 식각마스크로 사용하여 게이트전극(504a) 사이의 활성영역(501)의 일부가 노출될 때까지 층간절연막(508)을 식각하여 콘택홀(511a)을 형성한다. 이 때, 층간절연막(508) 스페이서용 절연막(506)이 식각정지층으로 사용된다.

<67> 이어서, 포토레지스트 스트립 공정을 실시하여 포토레지스트 패턴(510)을 제거한다음, 습식세정을 통해 식각 잔류물을 제거한다.

<68> 도 5d에 있어서, 콘택홀(511a)이 형성된 프로파일을 따라 어택방지막(513)을 증착하는 바, 이는 콘택영역을 확장을 위한 후속 습식세정시 층간절연막(508)의 어택을 방지하기 위한 것으로, 산화막에 비해 불산계 용액 등에 식각내성을 갖는 실리콘질화막 또는 실리콘산화질화막 등의 질화막 계열을 물질막을 이용한다.

<69> 어택방지막(513)은 습식세정에 따른 케미컬이 층간절연막(508)에 직접 닿지 않도록 막아주는 역할만을 할 수 있으면 되고, 또한 콘택영역의 축소를 최소화하기 위해 10Å ~ 100Å 정도로 얇게 증착하는 것이 바람직하다.

<70> 연속해서, 피복특성이 열악한 PE-TEOS(Plasma Enhanced-Tetra Ethyl Ortho Silicate)막 또는 USG(Undoped Silicate Glass)막 등을 증착하여 희생절연막(514)을 형성함으로써, 전체 프로파일 상에서 오버-행(Over-hang) 구조로 증착되도록 한다. 희생절연막(514)은 500Å ~ 2000Å 정도의 두께가 되도록 하는 것이 바람직하다.

도 5e에 있어서, 콘택 개구부를 넓히기 위해 묽은 불산계 케미컬을 이용하여 습식 세정을 실시한다. 이 때, 어택방지막(513)은 케미컬에 의한 층간절연막(508)의 어택을 방지하여 언더컷 일어나지 않는다.

<72> 이 때, 케미컬은 암모니아수(NH_4OH)와 불산(HF)의 비율이 50:1 ~ 500:1인 완충산화막식각제(Buffered Oxide Etchant; 이하 BOE라 함)나, 물과 불산의 비율이 50:1 ~ 500:1인 묽은 불산을 사용하는 것이 바람직하다.

<73> 이어서, 콘택홀(511a) 저면의 스페이서용 절연막(506)과 어택방지막(513a)를 제거하며, 이 때 측벽에 게이트전극(504a)과 게이트 하드마스크(504b)의 양측벽에 스페이서 형태인 '506a'과 '513a'로 남는다.

<74> 추가로, SAC 플러그와 그 하부의 활성영역간의 접촉저항을 감소시키기 위해 게이트 스페이서(506a) 양측의 활성영역 상에 불순물 이온주입을 실시할 수도 있다.

<75> 이어서, 콘택홀(511b)이 완전히 채워질 때까지 전면에 전도막 예를 들어, 폴리실리콘막 또는 텅스텐막을 증착한다. 전도막은 3000\AA ~ 7000\AA 의 두께로 증착하는 것이 바람직하다.

<76> 층간절연막(508)의 상부 표면이 노출될 때까지 CMP 또는 전면식각 공정으로 전도막을 평탄화 식각한다. 전도막을 CMP 공정으로 식각 하는 경우, 통상의 폴리실리콘 또는 텅스텐 식각용 슬러리를 사용한다.

<77> 다음, 게이트 하드마스크(504b)의 상부 표면이 노출될 때까지 층간절연막(508) 및 전도막을 CMP 공정으로 평탄화 식각 하면 도 5e에 도시된 바와 같이, 스토리지노드 콘택 플러그(512a) 및 비트라인 콘택 플러그(512b)가 서로 전기적으로 분리된다. 층간절연막

(508) 및 전도막(112)에 대한 CMP 공정은 통상의 산화막 식각용 슬러리를 사용하여 수행된다.

<78> 한편, 콘택 형성 영역(511)이 머지 콘택 영역이 아닌 경우, 스토리지노드 콘택 플러그(512a) 및 비트라인 콘택플러그(512b)를 서로 전기적으로 분리시키기 위한 평탄화 식각 공정을 생략한다.

<79> 전술한 본 발명은, 스토리지노드 또는 비트라인 콘택 플러그 형성을 위한 콘택홀 형성 후 콘택홀 프로파일을 따라 어택방지막을 형성하여 콘택 영역 확장을 위한 세정시 층간절연막의 케미컬 어택을 방지할 수 있어, 후속 플러그 형성시 심 현상을 방지할 수 있음을 실시예를 통해 알아 보았다.

<80> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

【발명의 효과】

<81> 상술한 바와 같은 본 발명은, 플러그의 심 현상을 억제하여 누설전류 특성을 개선할 수 있어 궁극적으로, 반도체소자의 수율을 향상시킬 수 있는 탁월한 효과를 기대할 수 있다.

【특허청구범위】

【청구항 1】

기판 상에 이웃하는 다수의 게이트전극을 형성하는 단계;

상기 게이트전극을 포함한 프로파일을 따라 스페이서용 절연막과 그 전면에 층간 절연막을 차례로 형성하는 단계;

상기 층간절연막을 선택적으로 식각하여 상기 게이트전극 사이의 상기 스페이서용 절연막을 노출시키는 콘택홀을 형성하는 단계;

상기 콘택홀이 형성된 프로파일을 따라 케미컬에 의한 상기 층간절연막의 어택을 방지하기 위한 어택방지막을 형성하는 단계;

상기 어택방지막 상에 오버행 구조의 희생절연막을 형성하는 단계;

상기 콘택홀 저면을 습식세정하여 개구부를 확장하는 단계;

상기 콘택홀 저면의 상기 스페이서용 절연막과 상기 어택방지막을 선택적으로 제거하여 상기 기판 표면을 노출시키는 단계;

상기 노출된 기판 표면에 도통되도록 전도막을 형성하는 단계; 및

상기 전도막과 상기 층간절연막을 평탄화시켜 격리된 플러그를 형성하는 단계를 포함하는 반도체소자 제조방법.

【청구항 2】

제 1 항에 있어서,

상기 어택방지막은 질화막을 이용하여 10Å 내지 100Å의 두께로 형성하는 것을 특징으로 하는 반도체소자 제조방법.

【청구항 3】

제 1 항에 있어서,

상기 습식세정하는 단계에서,

암모니아수와 불산의 비율이 50:1 내지 500:1인 완충산화막식각제 또는 물과 불산의 비율이 50:1 내지 500:1인 묽은 불산을 이용하는 것을 특징으로 하는 반도체소자 제조방법.

【청구항 4】

제 1 항에 있어서,

상기 희생절연막은,

PE-TEOS(Plasma Enhanced-Tetra Ethyl Ortho Silicate)막 또는 USG(Undoped Silicate Glass)막을 이용하여 500Å 내지 2000Å의 두께로 형성하는 것을 특징으로 하는 반도체소자 제조방법.

【청구항 5】

제 1 항에 있어서,

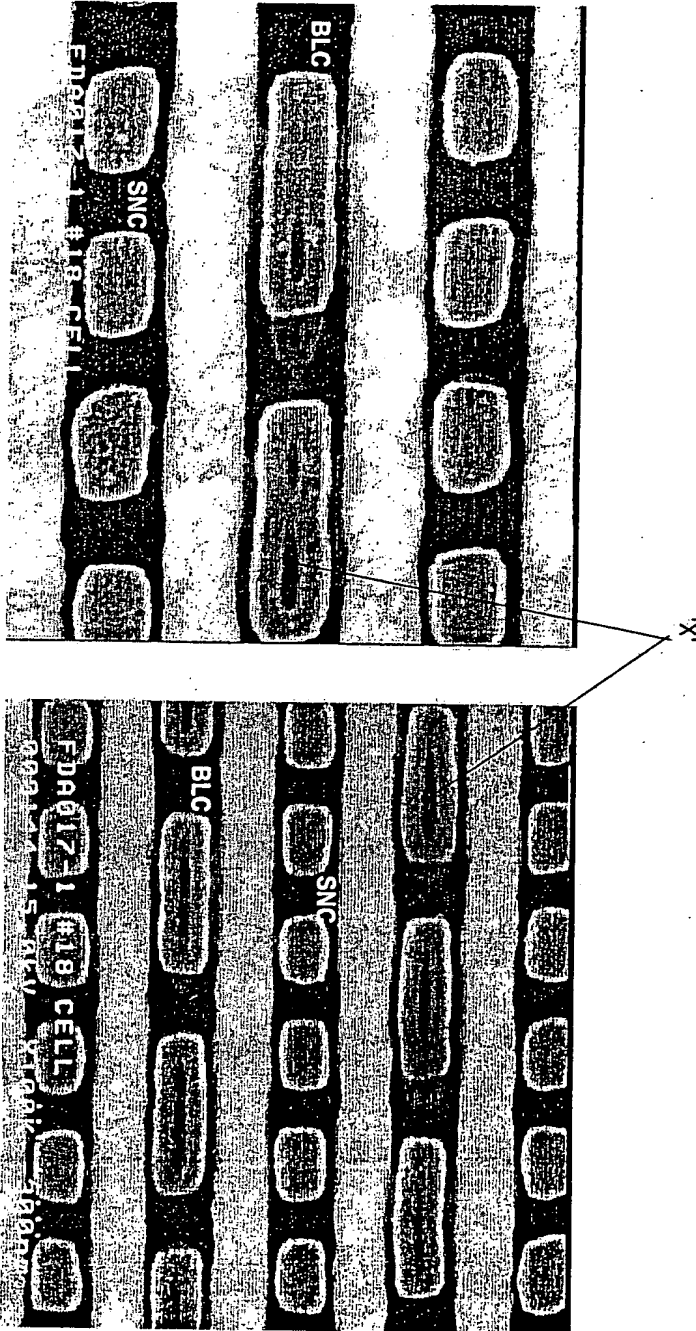
1020020037257

출력 일자: 2003/5/15

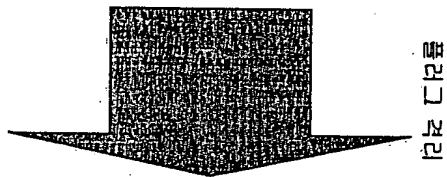
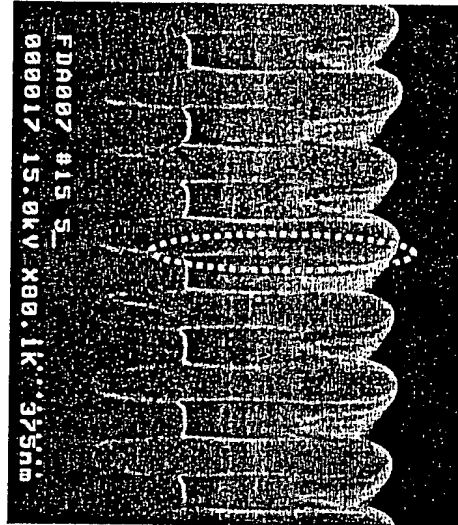
상기 전도막은 폴리실리콘막 또는 텅스텐막을 포함하는 것을 특징으로 하는 반도체 소자 제조방법.

【도면】

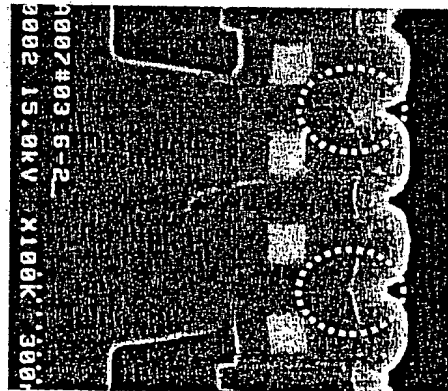
【도 1】



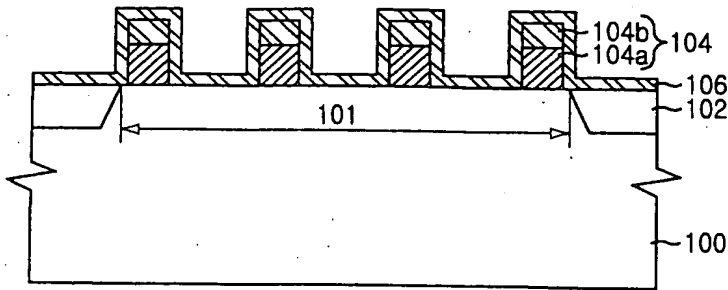
[도 2]



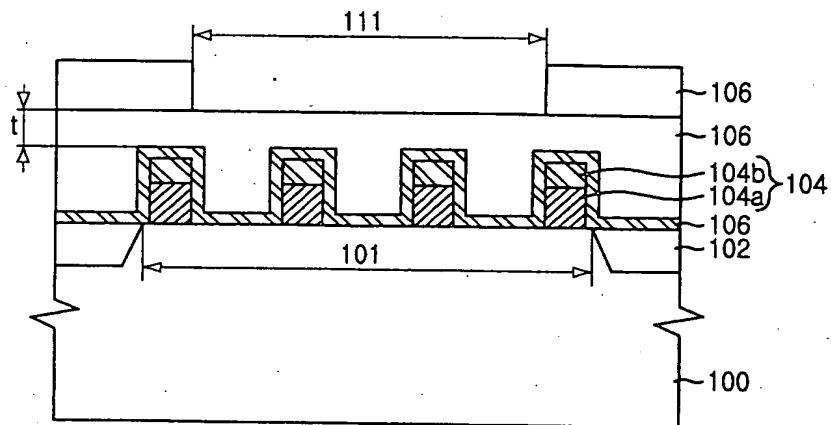
폴리그 격리



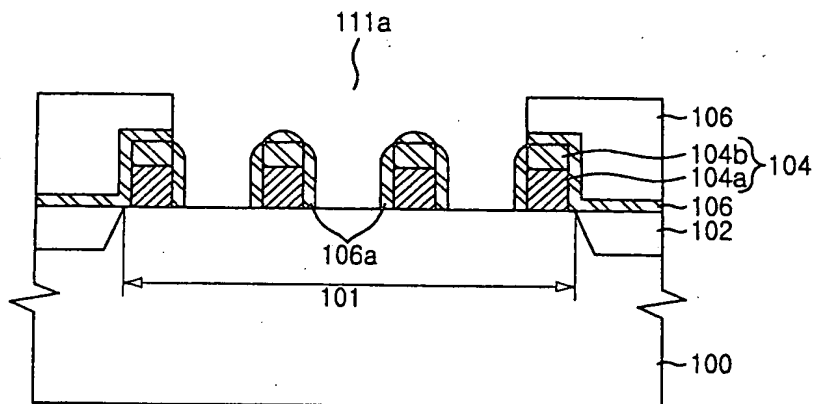
【도 3a】



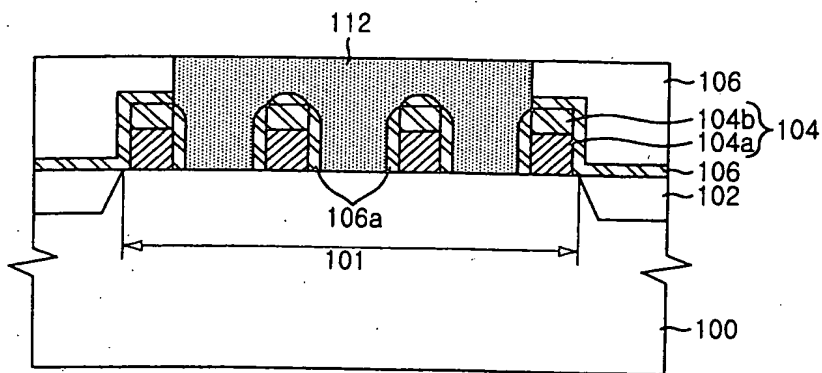
【도 3b】



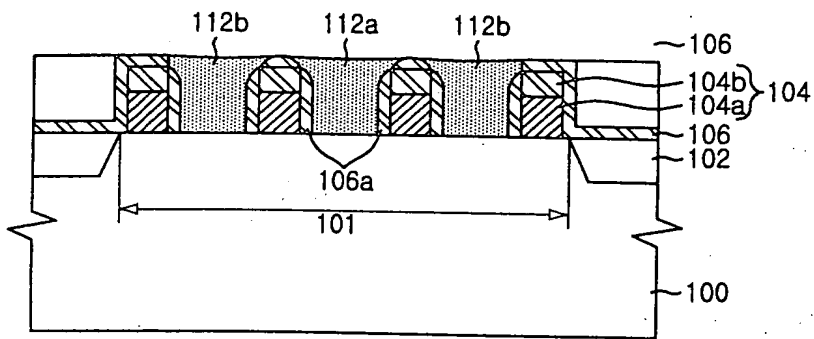
【도 3c】



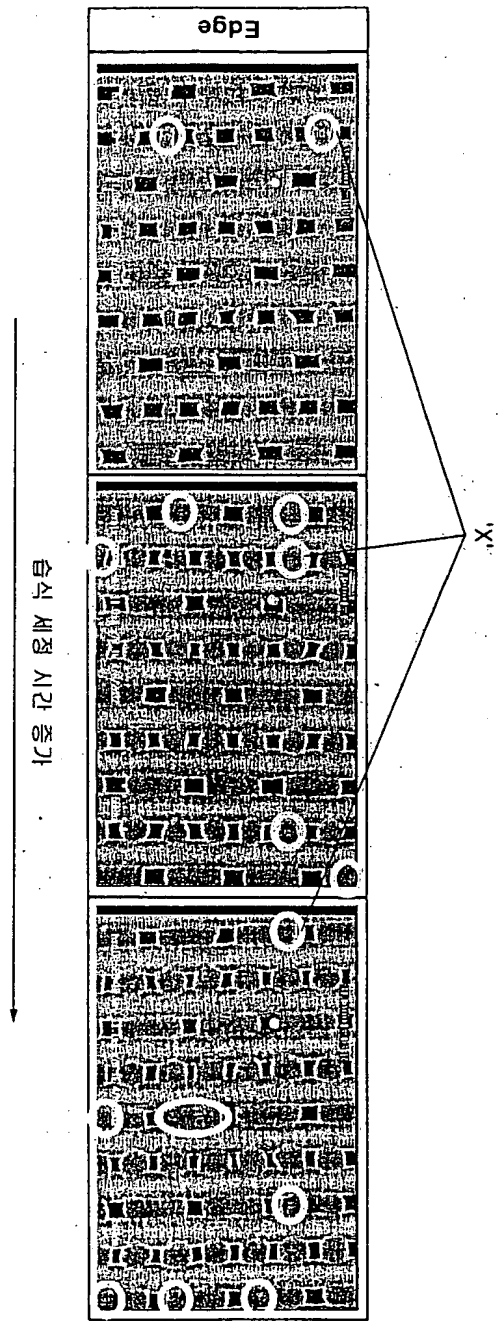
【도 3d】



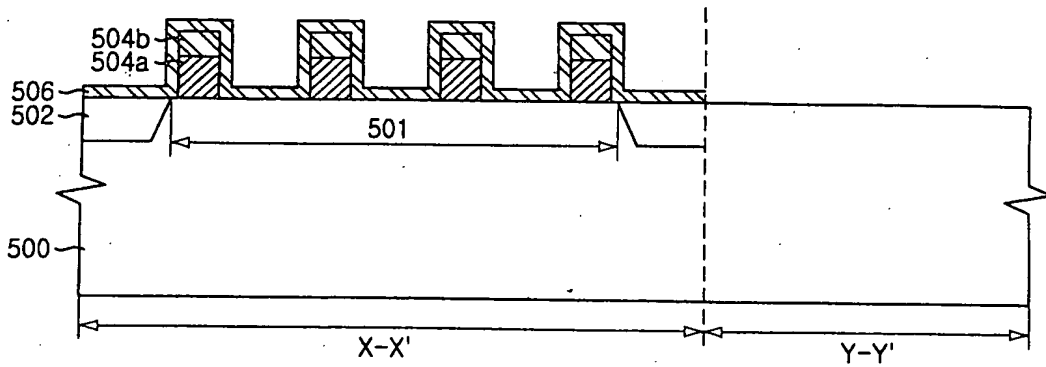
【도 3e】



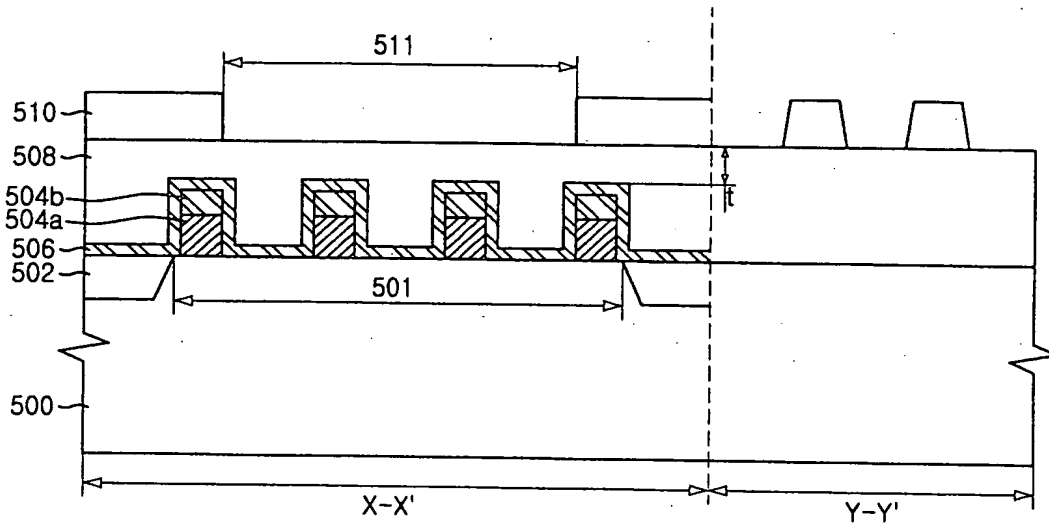
【도 4】



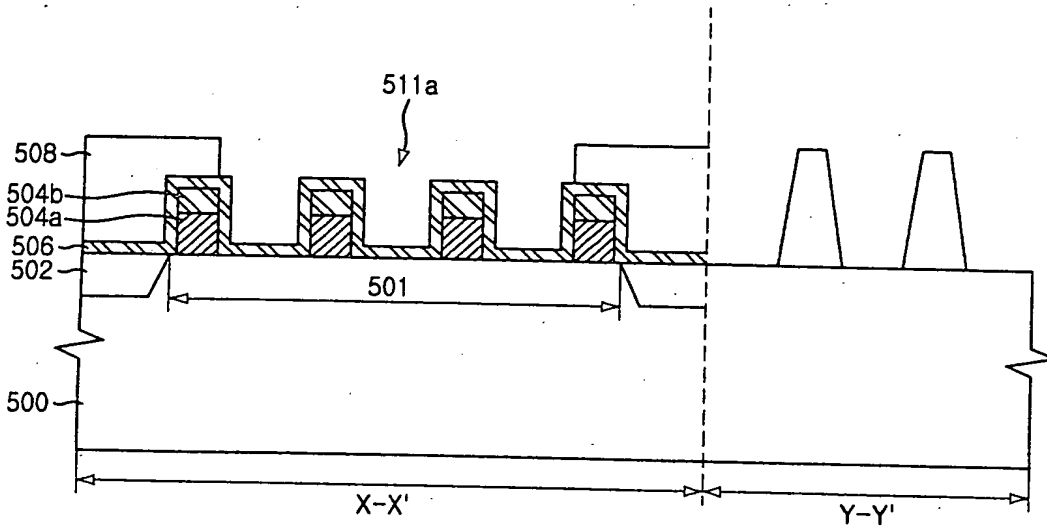
【도 5a】



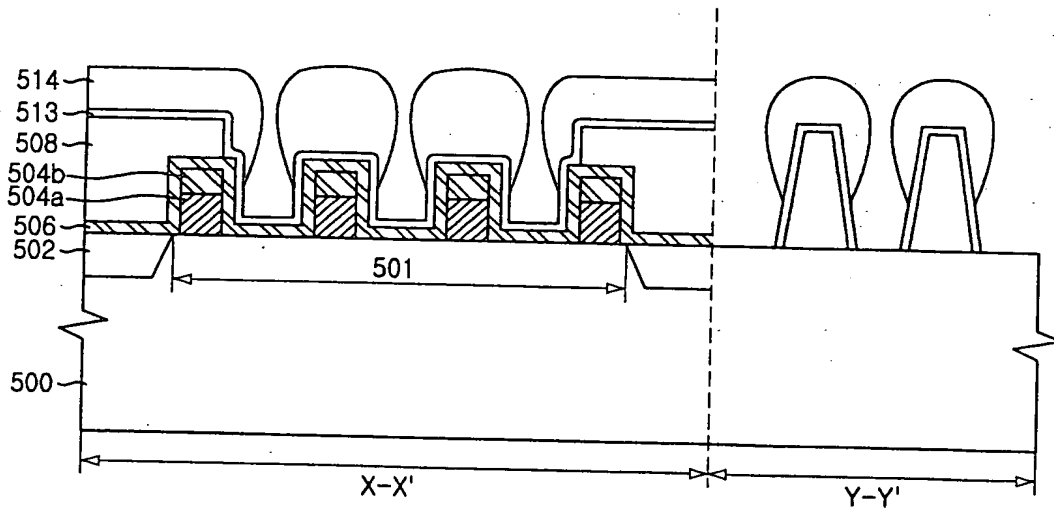
【도 5b】



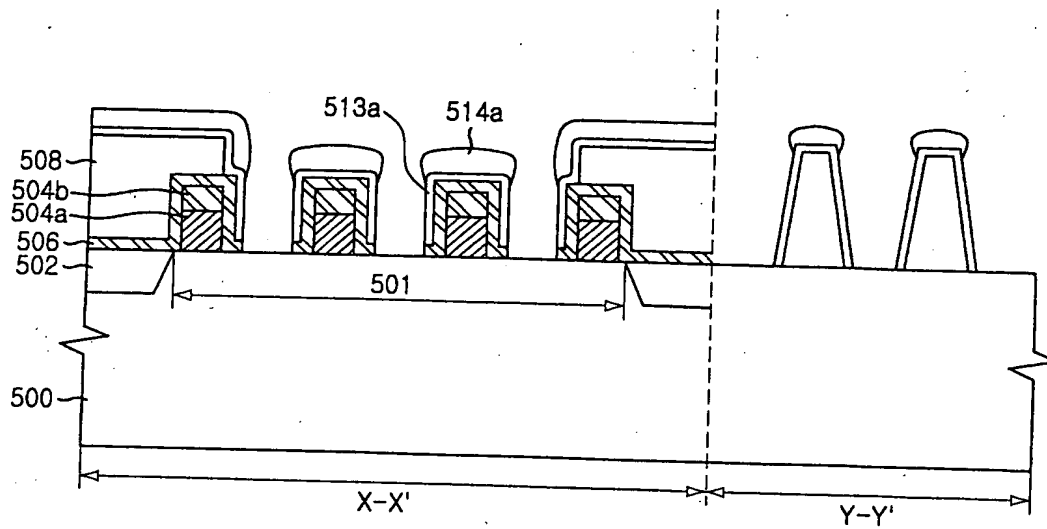
【도 5c】



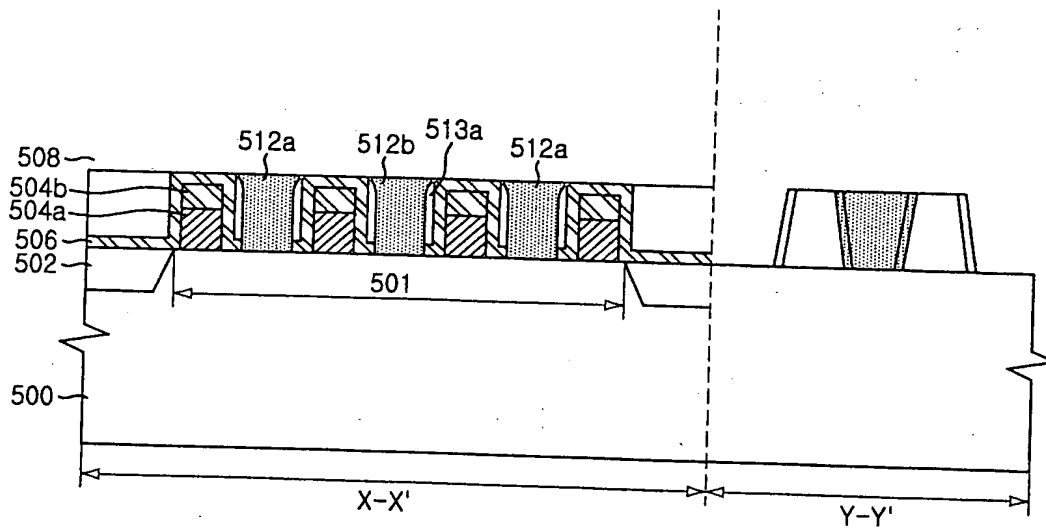
【도 5d】



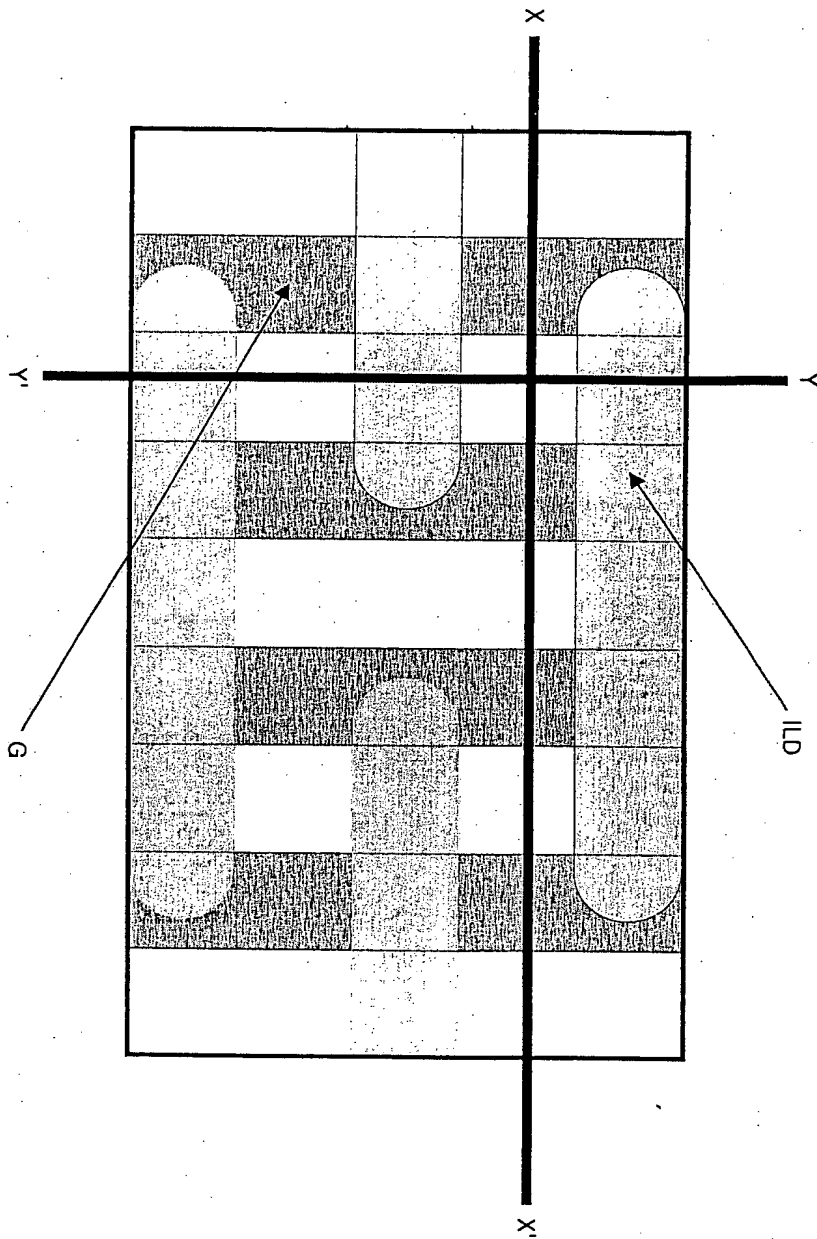
【도 5e】



【도 5f】



【도 6】





UNITED STATES PATENT AND TRADEMARK OFFICE

UNDER SECRETARY OF COMMERCE FOR INTELLECTUAL PROPERTY AND
DIRECTOR OF THE UNITED STATES PATENT AND TRADEMARK OFFICE

JANUARY 14, 2004

PTAS



102497093A

JACOBSON HOLMAN PLLC
YOON S. HAM
400 SEVENTH STREET, N.W.
WASHINGTON, D.C. 20004-2218

UNITED STATES PATENT AND TRADEMARK OFFICE
NOTICE OF RECORDATION OF ASSIGNMENT DOCUMENT

THE ENCLOSED DOCUMENT HAS BEEN RECORDED BY THE ASSIGNMENT DIVISION OF THE U.S. PATENT AND TRADEMARK OFFICE. A COMPLETE MICROFILM COPY IS AVAILABLE AT THE ASSIGNMENT SEARCH ROOM ON THE REEL AND FRAME NUMBER REFERENCED BELOW.

PLEASE REVIEW ALL INFORMATION CONTAINED ON THIS NOTICE. THE INFORMATION CONTAINED ON THIS RECORDATION NOTICE REFLECTS THE DATA PRESENT IN THE PATENT AND TRADEMARK ASSIGNMENT SYSTEM. IF YOU SHOULD FIND ANY ERRORS OR HAVE QUESTIONS CONCERNING THIS NOTICE, YOU MAY CONTACT THE EMPLOYEE WHOSE NAME APPEARS ON THIS NOTICE AT 703-308-9723. PLEASE SEND REQUEST FOR CORRECTION TO: U.S. PATENT AND TRADEMARK OFFICE, ASSIGNMENT DIVISION, BOX ASSIGNMENTS, CG-4, 1213 JEFFERSON DAVIS HWY, SUITE 320, WASHINGTON, D.C. 20231.

RECORDATION DATE: 06/27/2003

REEL/FRAME: 014255/0029
NUMBER OF PAGES: 2

BRIEF: ASSIGNMENT OF ASSIGNOR'S INTEREST (SEE DOCUMENT FOR DETAILS).

ASSIGNOR:
LEE, SUNG-KWON

DOC DATE: 06/27/2003

ASSIGNOR:
LEE, MIN-SUK

DOC DATE: 06/27/2003

ASSIGNEE:
HYNIX SEMICONDUCTOR INC.
SAN 136-1, AMI-RI, BUBAL-EUP
ICHON-SHI, KYOUNGKI-DO
REPUBLIC
OF KOREA
467-860

SERIAL NUMBER: 10607052
PATENT NUMBER:

FILING DATE: 06/27/2003
ISSUE DATE:

014255/0029 PAGE 2

SAUNDRA BALLENGER, EXAMINER
ASSIGNMENT DIVISION
OFFICE OF PUBLIC RECORDS

Form PTO-1595

(Rev. 03/01)

RECORDATION FOR
PATENT

07-15-2003

DEPARTMENT OF COMMERCE

TRADEMARK OFFICE

To the honorable Commissioner of Patents and Trademarks: P



by thereof:

1. Name of Conveying Party(ies):

LEE, SUNG-KWON

LEE, MIN-SUK

6-27-03

2. Name

102497093

Name:

Hynix Semiconductor Inc.

Street Address:

San 136-1, Ami-ri, Bubal-eup

Street Address:

City:

Ichon-shi, Kyoungki-do

State/Country:

Korea

Postal Code:

467-860

Additional name(s) of conveying party(ies) attached?

☐

Yes

☒

No

Additional name(s) and addresses attached?

☐

Yes

☒

No

3. Nature of Conveyance:

☒ Assignment☐ Change of Name☐ Security Agreement☐ Other:☐ Merger

Execution Date: 06272003

4. Application Number(s) or Patent Number(s):

10607052

☒ Assignment is being filed together with new application and the first execution date of application is: 06272003☐ Application has been filed already and the application filing date is:

A. Patent Application Number(s):

B. Issued Patent Number(s):

Additional numbers attached? ☐ Yes ☒ No

5. Name and address of party to whom correspondence concerning this matter should be mailed:

CUSTOMER NUMBER 00136 -or-

JACOBSON HOLMAN PLLC.

400 Seventh Street, N.W.

Washington, D.C. 20004-2218

Tel. 202-638-6666

6. Total number of applications and patents involved: 1

7. Total Fee (37 CFR 3.41): \$ 40.00

☒ Enclosed☒ Any deficiencies in enclosed fees are authorized to be charged to Deposit Account No. 06-1358.

Attorney Docket Number: P68950US0

DO NOT USE THIS SPACE

8. Statement and Signature:

To the best of my knowledge and belief, the foregoing information is true and correct and any attached copy is a true copy of the original document.

Yoon S. Ham/45,307

June 27, 2003

Name of Person Signing, Reg. No.

Signature

Date

Total number of pages including cover sheet, attachments, and documents:

-2-

JCH 103-2/02

16447 U.S. PTO

10/607052



06/27/03

40.00 OP

02 FC:8021

07/01/2003 DEHANU1 00000027 10607052

UNITED STATES OF AMERICA-ASSIGNMENT

(1-6) Insert Name(s) of Inventors

(1) LEE, SUNG-KWON

(2) LEE, MIN-SUK

(3) _____

(4) _____

(5) _____

(6) _____

In consideration of the sum of one dollar (\$1.00), and other good and valuable considerations paid to each of the undersigned, the receipt and sufficiency of which are hereby acknowledged, the undersigned agree(s) to assign, transfer and set over to

(7) Insert Name of assignee

(7) Hynix Semiconductor Inc.

(8) Insert Address of Assignee

(8) of San 136-1, Ami-ri, Bubal-eub, Ichon-shi, Kyoungki-do 467-860,
Republic of Korea

(9) Insert Legal Entity and State or Country (e.g., a corporation or citizen of Japan)

(9) a Corporation of Republic of Korea

(hereinafter designated as the Assignee) the entire right, title and interest for the United States, its territories, dependencies and possessions, in the invention known as

(10) insert Identification of Invention, such as Title, Case Number or Foreign Application Number

(10) METHOD FOR FABRICATING SEMICONDUCTOR DEVICE CAPABLE OF
REDUCING SEAM GENERATIONS

(11) Insert Date of Signing of Application, or filing date and Serial No., if known

for which the undersigned has (have) executed an application for patent in the United States of America
(11) Said application having been executed/ filed on June 27 2003 (and assigned Serial No. New Application)

1) The undersigned agree(s) to execute all papers necessary in connection with this application and any continuing or divisional applications thereof and also to execute separate assignments in connection with such application as the Assignee may deem necessary or expedient.

2) The undersigned agree(s) to execute all papers necessary in connection with any interference which may be declared concerning this application or any continuing or divisional applications thereof and to cooperate with the Assignee in every way possible in obtaining evidence and going forward with such interference.

3) The undersigned agree(s) to execute all papers and documents and perform any act which may be necessary in connection with claims or provisions of the International Union for Protection of Industrial Property or similar agreements.

4) The undersigned agree(s) to perform all affirmative acts which may be necessary to obtain a grant of a valid United States patent to the Assignee.

5) The undersigned hereby authorize(s) and request(s) the Commissioner of Patents and Trademarks to issue any and all Letters Patents of the United States resulting from this application or any continuing or divisional applications thereof to the said Assignee, as Assignee of the entire interest, and hereby covenants that he has (they have) full right to convey the entire interest herein assigned, and that he has (they have) not executed, and will not execute, any agreement in conflict herewith.

6) The undersigned hereby grant(s) the law firm of Jacobson, Price, Holman & Stern, 400 Seventh Street, N.W., Washington, D.C. 20004, the power to insert on this assignment any further identification which may be necessary or desirable in order to comply with the rules of the United States Patent and Trademark Office for recordation of this document.

In witness whereof, executed by the undersigned on the date(s) opposite the undersigned name(s).

Date June 27, 2003

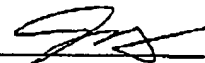
Name of Inventor LEE, SUNG-KWON
typed name



(SEAL)

Date June 27, 2003

Name of Inventor LEE, MIN-SUK
typed name



(SEAL)

Date _____

Name of Inventor _____
typed name

(SEAL)

Date _____

Name of Inventor _____
typed name

(SEAL)

Date _____

Name of Inventor _____
typed name

(SEAL)

Date _____

Name of Inventor _____
typed name

(SEAL)

This assignment should preferably be signed before a United States Consul if signed abroad, or a Notary public if domestically signed. If not, then the execution by the inventor(s) should be witnessed by at least two witnesses who sign here:

☐ A additional inventor's names and signatures on a separate sheet

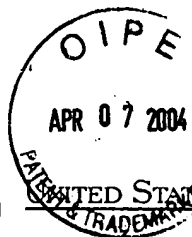
Witness LEE, MYUNG-HEE

Lee, Myung Hee

Witness LIM, HYE-YOUNG

Lim, Hye Young

LAW OFFICES OF
JACOBSON, PRICE, HOLMAN & STERN
THE JENIFER BUILDING
400 SEVENTH STREET, N.W.
WASHINGTON, D.C. 20004



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
 United States Patent and Trademark Office
 Address: COMMISSIONER OF PATENTS AND TRADEMARKS
 P.O. Box 1450
 Alexandria, Virginia 22313-1450
 www.uspto.gov

APPL NO.	FILING OR 371 (c) DATE	ART UNIT	FIL FEE REC'D	ATTY. DOCKET NO	DRAWINGS	TOT CLMS	IND CLMS
10/607,052	06/27/2003	2812	750	P68950US0	11	18	2

JACOBSON, PRICE, HOLMAN & STERN
 PROFESSIONAL LIMITED LIABILITY COMPANY
 400 Seventh Street, N.W.
 Washington, DC 20004

CONFIRMATION NO. 4134

FILING RECEIPT



OC000000010875814

Date Mailed: 09/15/2003

Receipt is acknowledged of this regular Patent Application. It will be considered in its order and you will be notified as to the results of the examination. Be sure to provide the U.S. APPLICATION NUMBER, FILING DATE, NAME OF APPLICANT, and TITLE OF INVENTION when inquiring about this application. Fees transmitted by check or draft are subject to collection. Please verify the accuracy of the data presented on this receipt. If an error is noted on this Filing Receipt, please write to the Office of Initial Patent Examination's Filing Receipt Corrections, facsimile number 703-746-9195. Please provide a copy of this Filing Receipt with the changes noted thereon. If you received a "Notice to File Missing Parts" for this application, please submit any corrections to this Filing Receipt with your reply to the Notice. When the USPTO processes the reply to the Notice, the USPTO will generate another Filing Receipt incorporating the requested corrections (if appropriate).

Applicant(s)

Hyeok Kang, Seoul, KOREA, REPUBLIC OF;
 Sung-Kwon Lee, Ichon-shi, KOREA, REPUBLIC OF;
 Min-Suk Lee, Ichon-shi, KOREA, REPUBLIC OF;

Domestic Priority data as claimed by applicant

Foreign Applications

REPUBLIC OF KOREA 2002-72240 11/20/2002
 REPUBLIC OF KOREA 2002-37257 06/29/2002
 REPUBLIC OF KOREA 2002-84097 12/26/2002

If Required, Foreign Filing License Granted: 09/09/2003

Projected Publication Date: 01/01/2004

Non-Publication Request: No

Early Publication Request: No

Title

Method for fabricating semiconductor device capable of reducing seam generations

Preliminary Class

438

**LICENSE FOR FOREIGN FILING UNDER
Title 35, United States Code, Section 184
Title 37, Code of Federal Regulations, 5.11 & 5.15**

GRANTED

The applicant has been granted a license under 35 U.S.C. 184, if the phrase "IF REQUIRED, FOREIGN FILING LICENSE GRANTED" followed by a date appears on this form. Such licenses are issued in all applications where the conditions for issuance of a license have been met, regardless of whether or not a license may be required as set forth in 37 CFR 5.15. The scope and limitations of this license are set forth in 37 CFR 5.15(a) unless an earlier license has been issued under 37 CFR 5.15(b). The license is subject to revocation upon written notification. The date indicated is the effective date of the license, unless an earlier license of similar scope has been granted under 37 CFR 5.13 or 5.14.

This license is to be retained by the licensee and may be used at any time on or after the effective date thereof unless it is revoked. This license is automatically transferred to any related applications(s) filed under 37 CFR 1.53(d). This license is not retroactive.

The grant of a license does not in any way lessen the responsibility of a licensee for the security of the subject matter as imposed by any Government contract or the provisions of existing laws relating to espionage and the national security or the export of technical data. Licensees should apprise themselves of current regulations especially with respect to certain countries, of other agencies, particularly the Office of Defense Trade Controls, Department of State (with respect to Arms, Munitions and Implements of War (22 CFR 121-128)); the Office of Export Administration, Department of Commerce (15 CFR 370.10 (j)); the Office of Foreign Assets Control, Department of Treasury (31 CFR Parts 500+) and the Department of Energy.

NOT GRANTED

No license under 35 U.S.C. 184 has been granted at this time, if the phrase "IF REQUIRED, FOREIGN FILING LICENSE GRANTED" DOES NOT appear on this form. Applicant may still petition for a license under 37 CFR 5.12, if a license is desired before the expiration of 6 months from the filing date of the application. If 6 months has lapsed from the filing date of this application and the licensee has not received any indication of a secrecy order under 35 U.S.C. 181, the licensee may foreign file the application pursuant to 37 CFR 5.15(b).

LAW OFFICES OF
JACOBSON HOLMAN PLLC
400 SEVENTH STREET, N.W.
WASHINGTON, DC 20004
(202) 638-6666

Appv Docket: P68950USO
Serial/Patent No.: New Application
Applicant: Sung-Kwon LEE, et al.
Filing Date: June 27, 2003

Today's Date: June 27, 2003

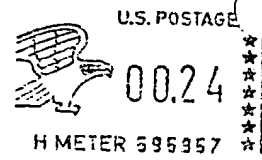
The following have been received in the U.S. Patent & Trademark Office on the date stamped hereon:

1. Application Transmittal (in duplicate);
2. 31-Page Specification, including 18 claims and abstract;
3. 11 Sheets of Drawings (Figs. 1A-6C);
4. Declaration and Power of Attorney;
5. Assignment document and cover sheet; and
6. A Check for \$790.00; Check No: _____.

Due Date: June 29, 2003
YSH/kyc

JACOBSON HOLMAN, PLLC
400 SEVENTH STREET, N.W.
WASHINGTON, DC 20004
(202) 638-6666





LAW OFFICES OF
JACOBSON HOLMAN PLLC
400 SEVENTH STREET, N.W.
WASHINGTON, DC 20004
(202) 638-6666

Handwritten mark resembling a stylized 'N' or 'R'.

Att'y Docket: P68950USO
Serial/Patent No.: New Application
Applicant: Sung-Kwon LEE, et al.
Filing Date: June 27, 2003

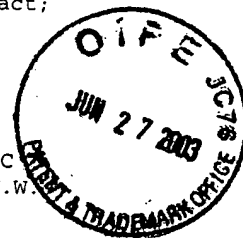
Today's Date: June 27, 2003

The following have been received in the U.S. Patent & Trademark Office on the date stamped hereon:

1. Application Transmittal (in duplicate);
2. 31-Page Specification, including 18 claims and abstract;
3. 11 Sheets of Drawings (Figs. 1A-6C);
4. Declaration and Power of Attorney;
5. Assignment document and cover sheet; and
6. A Check for \$790.00; Check No: 64255.

Due Date: June 29, 2003
YSH/kyc

JACOBSON HOLMAN, PLLC
400 SEVENTH STREET, N.W.
WASHINGTON, DC 20004
(202) 638-6666





Law Offices
Jacobson Holman
 Professional Limited Liability Company
 400 Seventh Street, N.W.
 Washington, D.C. 20004-2218

(202) 638-6666
 (202) 393-5350/51/52 (fax)
 www.jhip.com
 Firm e-mail: ip@jhip.com

YOON S. HAM
 Direct: (202) 662-8483
 yham@jhip.com

June 27, 2003

Honorable Commissioner for Patents
 PO Box 1450,
 Alexandria, VA 22313

Atty. Docket No.: P68950US0
 CUSTOMER NUMBER: 00136

Sir:

Transmitted herewith for filing is the patent application in the names of:

**Sung-Kwon LEE of Ichon-shi, Republic of Korea; and
 Min-Suk LEE of Ichon-shi, Republic of Korea,**

for **METHOD FOR FABRICATING SEMICONDUCTOR DEVICE CAPABLE OF REDUCING SEAM GENERATIONS**. The application comprises a 31-page specification including 18 claims (2 independents) and Abstract, 11 sheets of drawings (Figs. 1A-6C), and a Declaration and Power of Attorney.

Accompanying this application for filing are:

(1) Assignment document, cover sheet and \$40.00 fee for recordation of Assignment

The filing fee has been calculated as shown:

Large Entity		\$ 750.00
Total Claims=18;	in excess of 20 = 0 x (\$18.00) =	
Total Ind. Claims=2;	in excess of 03 = 0 x (\$84.00) =	+
TOTAL FILING FEE:		<u>\$ 750.00</u>

A check in the amount of \$790.00, is enclosed to cover the total Filing Fee and an Assignment Recordation Fee. The Commissioner is hereby authorized to charge payment of any fees set forth in Sections 1.16 or 1.17 during the pendency of this application, or credit any overpayment, to deposit Account No. 06-1358. A duplicate copy of this sheet is enclosed.

Respectfully submitted,

By: 

Yoon S. Ham, Reg. No. 45,307

YSH:kyc
 Enclosures

METHOD FOR FABRICATING SEMICONDUCTOR DEVICE CAPABLE OF
REDUCING SEAM GENERATIONS



Field of the Invention

5

The present invention relates to a method for fabricating a semiconductor device; and, more particularly, to a method for fabricating a semiconductor device capable of reducing generations of seam when a self-aligned contact (SAC) plug is
10 formed.

Description of Related Arts

It is difficult to obtain process margins of a pattern
15 formation process and overlay accuracy through a mere improvement on a level of integration in a semiconductor device. To solve these problems, a self-aligned contact (SAC) process is employed because it is cost-effective owing to a fact that an additional mask is not required for forming a
20 contact hole pattern and the like. Among various schemes of carrying out the SAC process, the most typical scheme is to use a nitride layer as an etch barrier layer.

Also, because of the high level of integration, a contact process for forming an inter-layer contact; e.g., a
25 plug, is employed. For instance, in about 0.15 μm semiconductor devices, a hole-type contact mask is used in forming a bit line contact or a storage node contact. However,

this use of the hole-type contact mask is not sufficient to secure a contact region due to a misalignment occurring during a photo-etching process. Therefore, a method of using different etch selectivity values between two different types of inter-layer insulation layers, e.g., an oxide layer and a nitride layer, is employed to secure the contact region. This method is employed in the aforementioned SAC process.

More specifically to the SAC process for forming a plug, an oxide layer for insulating a space between plugs is first etched to form a plug contact hole. Then, such material as polysilicon is deposited into the contact hole, and a chemical mechanical polishing (CMP) process is performed thereto to fill the polysilicon into the contact hole so that a plug is formed. Also, a T-type plug mask or an I-type plug mask is used in the SAC process for forming the plug.

However, in spite of the advantages of the SAC process, seams are more likely generated when the polysilicon is used as a plug material. The reason for this problem is because of a deterioration of topology caused by an undercut of an insulation layer. For example, the seam usually occurs at a storage node contact plug and a bit line contact plug when they are made of polysilicon.

Also, a chance of the seam generation is much higher at a portion of the insulation layer having a negative slope produced by the undercut of the insulation layer. Particularly, the seam is a main cause for degrading device characteristics. An increase of leakage currents is one

example.

Figs. 1A to 1E are cross-sectional views showing a conventional method for forming a SAC plug with use of the SAC process.

5 Referring to Fig. 1A, a plurality of device isolation layers 102 defining active regions 101 are formed in a substrate 100. A local oxidation of silicon (LOCOS) technique or a shallow trench isolation (STI) technique is employed for forming the device isolation layers 102. Also, each of the
10 active regions 101 has an elongated elliptical shape when viewed from a top of the substrate 100. It should be also noted that there are a plurality of the active regions 101 defined by the device isolation layers 102 although they are expressed in a more simple representation for convenience.

15 A conductive layer 104A for forming a gate electrode (hereinafter referred to as a gate conductive layer) and a hard mask 104B for forming the gate electrode (hereinafter referred to as a gate hard mask) are sequentially formed on an entire surface of the substrate structure. Although it is not
20 illustrated, an oxide-based insulation layer for forming the gate electrode (hereinafter referred to as a gate insulation layer) is formed beneath the gate conductive layer 104A. The gate insulation layer has a thickness in a range from about 50 Å to about 100 Å. Herein, the gate conductive layer 104A is a
25 single layer or a stacked layer of such materials as polysilicon, tungsten, tungsten nitride or/and tungsten silicide.

The gate hard mask 104B is made of such material like silicon nitride having a different etch selectivity from a subsequent inter-layer insulation layer 108 shown in Fig. 1B. Also, the gate hard mask 104B has a thickness ranging from
5 about 1000 Å to about 2000 Å.

For a lightly doped drain (LDD) structure, a low concentration of impurity ions for a source/drain is implanted into the active regions 101 formed at both sides of the gate electrode 104. Then, an etch stop layer 106 for forming a
10 spacer for the gate electrode (hereinafter referred to as gate spacer) is deposited on the above entire substrate structure including the gate hard mask 104B and the gate conductive layer 104A. As like the gate hard mask 104B, the etch stop layer 106 is made of nitride having a different etch
15 selectivity from the inter-layer insulation layer 108 shown in Fig. 1B. At this time, the etch stop layer 106 is deposited to a thickness in a range from about 300 Å to about 1000 Å. However, it is much preferable to deposit the etch stop layer 106 to a thickness of about 500 Å.

20 A photoresist pattern (not shown) is formed to make a core cell and a peripheral circuit regions opened. A blanket-etch process is then preformed to the etch stop layer 106 by using the photoresist pattern as an etch mask so that the gate spacer is formed at lateral sides of the gate electrode in the
25 core cell and the peripheral circuit regions.

Next, a high concentration of impurity ions is implanted into the active regions 101 formed at both sides of the gate

spacer to thereby form transistors in the core cell and the peripheral circuit regions. At this time, the etch stop layer 106 in the core cell array region is not etched to be used as another etch stop layer for the inter-layer insulation layer 108.

As shown in Fig. 1B, the inter-layer insulation layer 108 is formed on the above substrate structure including the etch stop layer 106. Herein, the inter-layer insulation layer 108 is made of an oxide layer having an excellent gap-fill property for preventing occurrences of a void phenomenon. Also, the inter-layer insulation layer 108 has a thickness ranging from about 3000 Å to about 9000 Å. A preferable deposition thickness of the inter-layer insulation layer 108 is about 5000 Å. Afterwards, a chemical mechanical polishing (CMP) process or a blanket-etch process is performed to planarize the inter-layer insulation layer 108. The planarized inter-layer insulation layer 108 remains on the gate hard mask 104B with a thickness T of about 1000 Å.

A photoresist pattern 110 is formed on the inter-layer insulation layer 108 in such a manner that a region 111 for forming a SAC (hereinafter referred to as a SAC region) in the core cell array region is opened. The SAC region 111 can be a storage node contact region, a bit line contact region or a merged contact region obtained by merging the storage node contact region and the bit line contact region together. Herein, the illustrated SAC region is the merged contact region. The merged contact region is formed in a T-shape and

includes a partial portion of the active region 101 and that of a non-active region.

In case of the T-shaped merged contact region, the size of the merged contact region is bigger than that of each storage node contact region and bit line contact region itself. As a result of this increased size, it is possible to prevent an etch-stop phenomenon usually occurring when the contact region is small. In addition, compared to a structure taught in an article by Kohyama et al. entitled "A fully printable, self-aligned and planarized stacked capacitor DRAM cell technology for 1Gbit DRAM and beyond", *symp. On VLSI. Digest of Technical Papers*, PP. 17-18, (1997), an occupying area of the photoresist pattern increases to thereby improve etch selectivity.

Next, the inter-layer insulation layer 108 and the etch stop layer 106 are sequentially etched until a partial portion of the active region 101 is exposed. From this etching, a plurality of contact holes 111A are formed. During the etching to the inter-layer insulation layer 108, the etch stop layer 106 serves to play an etch-stop function.

Meanwhile, referring to Fig. 1C, the etching to the etch stop layer 106 results in a formation of a gate spacer 106A at lateral sides of the gate hard mask 104B in the core cell array region. Impurity ions are then implanted into the active regions 101 formed at both sides of the gate spacer 106A in order to reduce a contact resistance between a SAC plug and the active region 101 formed beneath the SAC plug.

As shown, after the photoresist pattern is removed 110, a conductive layer, for instance, a polysilicon layer 112 is deposited until completely being filled into the contact holes 111A. At this time, the deposition thickness ranges from about 3000 Å to about 7000 Å. Afterwards, the polysilicon layer 112 is planarized by performing a CMP process or a blanket etch process until an upper surface of the inter-layer insulation layer 108 is exposed. In case of performing the CMP process to the polysilicon layer 112, slurry used for etching a typical polysilicon is employed.

Subsequently, a CMP process is performed again to the inter-layer insulation layer 108 and the polysilicon layer 112 until an upper portion of the etch stop layer 106 is exposed. This CMP process defines storage node contact plugs 112A and bit line contact plugs 112B electrically isolated from each other. The CMP process subjected to the inter-layer insulation layer 108 and the polysilicon layer 112 also employs slurry used for etching a typical oxide layer.

In case that the SAC contact region 111 as shown in Fig. 1B is not the merged contact region, the above CMP process for isolating electrically the storage node contact plugs 112A and the bit line contact plugs 112B can be omitted.

The seam is generated more frequently as an area of an opening portion of each contact hole 111A decreases. Particularly, the seam generation is more severe when an upper part of the gate electrode 104 gets to have a slope by etching the etch stop layer 106.

In addition to the above-described approach, another approach can be employed to secure sufficiently the contact region. First, an etching is stopped right above the etch stop layer, and a photoresist strip process and a wet
5 cleaning/etching process are performed thereafter.. Then, in the step of removing the etch stop layer, a capping layer is deposited on the etch stop layer to secure a required thickness of the gate hard mask. Herein, the capping layer is made of such material having a poor coverage property as
10 plasma enhanced chemical vapor deposition (PECVD) oxide or undoped silicate glass (USG). After the deposition of the capping layer, the oxide layer gets to remain only on the gate hard mask through the use of a wet cleaning/etching process, and the nitride layer is then removed through the use of a dry
15 etching process.

However, this approach results in an undercut of the inter-layer insulation layer during the wet cleaning/etching process. This undercut further induces the seam generations when the SAC plug is subsequently formed. Also, the seams are
20 more severely generated as an executing period of the wet cleaning/etching process for extending the contact hole region is longer.

Fig. 2 is a top-view of the typical semiconductor device completed with the SAC process for forming the plug. As shown,
25 a plurality of device isolation layers 200 are allocated on a substrate structure 200. A plurality of gate electrodes are arrayed in a direction of crossing the device isolation layers

201. Herein, the reference numeral 203 is a region opened for forming a plug, i.e., a contact hole.

Figs. 3A and 3B are cross-sectional views of Fig. 4 in each direction of the lines A-A' and B-B'.

5 Referring to Fig. 3A, a plurality of device isolation layers 201 are formed in a substrate 200, and then, an oxide-based gate insulation layer 202A, a gate conductive layer 202B and a gate hard mask 202C are sequentially deposited on the substrate structure. Afterwards, a photo-etching process is
10 performed with use of the gate hard mask 202C to form a gate electrode 202. Herein, the gate conductive layer 202B is a single layer or a stacked layer of tungsten, polysilicon or tungsten silicide. Also, the gate hard mask 202C is a nitride-based layer such as a silicon nitride layer or a
15 silicon oxynitride layer.

Next, an etch stop layer 202D made of silicon nitride or silicon oxynitride is formed at lateral sides of the gate electrode 202. An inter-layer insulation layer 204 is then
20 formed in such a manner to be filled into a space between the gate electrodes 202. At this time, the inter-layer insulation layer 204 is preferably formed to a thickness ranging from about 2000 Å to about 10000 Å by using a material having a good planarization property such as high temperature oxide (HTO), advanced planarization layer (APL) oxide, spin on
25 dielectric (SOD), spin on glass (SOG), tetra-ethyl-ortho silicate (TEOS), boro-phospho-silicate glass (BPSG), phospho-silicate glass (PSG) or boro-silicate glass (BSG). Also, it

is preferable to perform a deposition or a deposition/planarization process so that a thickness of the inter-layer insulation layer 204 on an upper surface of the gate hard mask 202D ranges from about 0 Å to about 1000 Å.

5 Next, a plurality of contact holes 203 for bit line contacts or storage node contacts are formed. More specifically, a photoresist pattern (not shown) for forming the contact holes 203 is formed, and an upper part of an impurity diffusion region (not shown) allocated between the
10 gate electrodes 202 is opened through the use of the typical SAC process.

 In more detail of the SAC process, it is possible to use different types of etch gas to attain different effects. When the inter-layer insulation layer 204 made of BPSG and the like
15 is etched, an etch gas containing carbons and inducing lots of polymers is used to provide a high etch selectivity with respect to the nitride-based layers, i.e., the gate hard mask 202C and the etch stop layer 202D. Examples of this etch gas are C_3F_8 , C_4F_8 , C_5F_8 , C_4F_6 and C_2F_4 . Also, such gas as CHF_3 ,
20 C_2HF_5 , CH_2F_2 , CH_3F , CH_2 , CH_4 , C_2H_4 and H_2 can be also used to provide a reliable etch process by increasing an etch process margin along with the high etch selectivity. Also, such inert gas as He, Ne, Ar, Kr or Xe can be also used as the etch gas to improve an etch stop function by enhancing a sputtering
25 effect and plasma stability. It is also possible to use a gas obtained by mixing the above etch gases with each other. It is further possible to add $C_xH_yF_z$, where x, y and z is equal to

or greater than 2, to the etch gas containing lots of carbons to secure margins of the etch process.

As shown in Fig. 3B, another insulation layer is deposited on the inter-layer insulation layer 204 and the gate electrode 202 to form a capping layer 205 with an over-hang structure. Herein, the capping layer 205 is made of USG having a less powerful coverage property, and its function is to prevent losses of the gate hard mask 202C during a removal of the etch stop layer 202D for exposing a surface of the substrate 200.

However, the capping layer 205 causes degradation of a gap-fill property, and this degradation further induces generations of void and seam in case that a conductive layer for forming a plug (hereinafter referred to as plug conductive layer) is deposited after the contact holes 203 are extended through a subsequent wet cleaning/etching process and the surface of the substrate 200 is then exposed through a blanket-etch process.

Also, the generations of void and seam are caused by a bowing profile phenomenon, wherein a profile obtained prior to depositing a plug material is bent. Particularly, the capping layer 205, the etch stop layer 202D and the wet cleaning/etching process used for extending the contact holes 203 are adopted to meet trends of a decrease in pattern size and an increase in a difference in height. However, these implementations of the capping layer 205, the etch stop layer 202D and the wet cleaning/etching process become a factor for

causing the bowing profile phenomenon.

The USG typically used for the capping layer 205 has a slower wet etch rate than that of BPSG typically used for the insulation layer. This usage of the USG material results in the bowing phenomenon. Particularly, the bowing phenomenon becomes more severe as an executing period of the wet cleaning/etching process for extending an opening portion of the contact hole is longer. Additionally, instead of the USG, plasma enhanced tetra-ethyl-ortho silicate (PETEOS) having a poor coverage property can be also adopted in the capping layer 205 with the over-hang structure.

As described above, the generation of the void and seam is resulted from a negative slope of the insulation layer produced by the undercut of the insulation layer. After the step of isolating the plugs, this undercut of the insulation layer further pronounces the seam generations at the plug. The seam generated at the plug becomes a main factor for degrading device characteristics. For instance, leakage currents are increased.

Summary of the Invention

It is, therefore, an object of the present invention to provide a method for fabricating a semiconductor device capable of effectively preventing generations of void and seam at a plug due to a negative slope of an insulation layer and a bowing phenomenon in an etch profile of a contact hole.

In accordance with an aspect of the present invention, there is provided a method for fabricating a semiconductor device, including the steps of: forming a plurality of conductive patterns on a substrate; forming an etch stop layer
5 along the plurality of the conductive patterns; forming an insulation layer on an entire surface of the substrate structure; etching selectively the insulation layer to form a plurality of contact holes exposing a portion of the etch stop layer allocated in between the conductive patterns; forming an
10 attack barrier layer for preventing the insulation layer from being attacked by a chemical used in a wet cleaning/etching process along a profile containing the contact hole; forming a capping layer having an over-hang structure on an upper part of each conductive pattern; extending an opening portion of
15 each contact hole by performing a wet cleaning/etching process to a bottom side of each contact hole; removing selectively a portion of the etch stop layer and the attack barrier layer disposed at the bottom side of each contact hole to expose a surface of the substrate; and forming a plug contacted to the
20 exposed surface of the contact hole.

In accordance with another aspect of the present invention, there is also provided a method for fabricating a semiconductor device, including the steps of: forming a plurality of conductive patterns on a substrate; forming an
25 etch stop layer along the plurality of the conductive patterns; forming an insulation layer on an entire surface of the substrate structure; etching selectively the insulation

layer to form a plurality of contact holes exposing a portion of the etch stop layer allocated in between the conductive patterns; forming a capping layer having an over-hang structure on an upper part of each conductive pattern; 5 weakening bonding forces between atoms contained in sidewalls of the capping layer with use of an inert gas; extending an opening portion of the contact hole by performing a wet cleaning/etching process and simultaneously removing the sidewalls of the capping layer; removing selectively a portion 10 of the etch stop layer disposed at a bottom side of each contact hole to expose a surface of the substrate; and forming a plug contacted to the exposed surface of the substrate.

Brief Description of the Drawing(s)

15

The above and other objects and features of the present invention will become apparent from the following description of the preferred embodiments given in conjunction with the accompanying drawings, in which:

20

Figs. 1A to 1E are cross-sectional views showing a conventional method for forming a self-aligned contact (SAC) plug in a semiconductor device;

25

Fig. 2 is a top view of the conventional semiconductor device completed with the SAC process for forming the SAC plug;

Figs. 3A and 3B are cross-sectional views of Fig. 2 in each direction of the lines A-A' and B-B';

Fig. 4 is a top view showing schematically a semiconductor device including a gate electrode pattern and an insulation layer pattern;

Figs. 5A to 5F are cross-sectional views showing a method for forming a SAC plug in a semiconductor device in accordance with a first preferred embodiment of the present invention; and

Figs. 6A to 6C are cross-sectional views showing a method for fabricating a semiconductor device in accordance with a second preferred embodiment of the present invention.

Detailed Description of the Invention

Hereinafter, with reference to the accompanying drawings, there is provided descriptions on a method for forming a self-aligned contact (SAC) plug in a semiconductor device capable of preventing occurrences of void and seam and a bowing phenomenon.

Fig. 4 is a top view showing schematically a semiconductor device including a gate electrode pattern and an insulation layer pattern.

As shown, a plurality of gate electrode patterns G are arrayed in one direction, and a plurality of inter-layer insulation patterns ILD are arrayed in a direction of crossing the plurality of the gate electrode patterns G.

There is provided detailed descriptions on a method for forming a SAC plug with reference to Figs. 5A to 5F showing

cross-sectional views of Fig. 4 in each direction of the line X-X' and Y-Y'.

Referring to Fig. 5A, a plurality of device isolation layers 402 defining active regions 401 are formed on a substrate 400. A local oxidation of silicon (LOCOS) technique or a shallow trench isolation (STI) technique is employed for forming the device isolation layers 402. Also, each of the active regions 401 has an elongated elliptical shape when viewed from a top of the substrate 400. It should be also noted that there are a plurality of the active regions 401 defined by the device isolation layers 402 although they are expressed in a simple representation for convenience.

A conductive layer 404A for forming a gate electrode (hereinafter referred to as a gate conductive layer) and a hard mask 404B for forming the gate electrode (hereinafter referred to as a gate hard mask) are sequentially formed on an entire surface of the substrate structure. Although it is not illustrated, an oxide-based insulation layer for forming the gate electrode (hereinafter referred to as a gate insulation layer) is formed beneath the gate conductive layer 404A. The gate insulation layer has a thickness in a range from about 50 Å to about 100 Å. Herein, the gate conductive layer 404A is a single layer or a stacked layer of such materials as polysilicon, tungsten, tungsten nitride or tungsten silicide.

The gate hard mask 404B is made of such material like silicon nitride having a different etch selectivity from a subsequent inter-layer insulation layer 408. Also, the gate

hard mask 404B has a thickness ranging from about 1000 Å to about 2000 Å.

For a lightly doped drain (LDD) structure, a low concentration of impurity ions for a source/drain is implanted into the active regions 401 formed at both sides of the gate electrode 404. Then, an etch stop layer 406 for forming a spacer for the gate electrode (hereinafter referred to as a gate spacer) is deposited on the above entire substrate structure including the gate hard mask 404B and the gate conductive layer 404A. As like the gate hard mask 404B, the etch stop layer 406 is made of nitride having a different etch selectivity from the inter-layer insulation layer 408. At this time, the etch stop layer 406 is deposited to a thickness in a range from about 300 Å to about 1000 Å. However, it is more preferable to deposit the etch stop layer 106 to a thickness of about 500 Å.

A photoresist pattern (not shown) is formed to make a core cell and a peripheral circuit regions opened. A blanket-etch process is then subjected to the etch stop layer 406 by using the photoresist pattern as an etch mask so that the gate spacer is formed at lateral sides of the gate electrode in the core cell and the peripheral circuit regions.

Next, a high concentration of impurity ions is implanted into the active regions 401 at both sides of the gate spacer to thereby form transistors in the core cell and the peripheral circuit regions. At this time, the etch stop layer 406 in the core cell array region is not etched to be used as

another etch stop layer for the inter-layer insulation layer 408.

As shown in Fig. 5B, the inter-layer insulation layer 408 is formed on the above substrate structure including the etch stop layer 406. The inter-layer insulation layer 408 is made of an oxide layer such as boron phosphorus silicate glass (BPSG), spin on glass (SOG), plasma enhanced oxide and advanced planarization layer (APL) oxide having an excellent gap-fill property for preventing occurrences of void. Also, the inter-layer insulation layer 408 has a thickness ranging from about 3000 Å to about 9000 Å. More preferably, the inter-layer insulation layer 408 is deposited to a thickness of about 5000 Å.

Afterwards, a chemical mechanical polishing (CMP) process or a blanket-etch process is performed to planarize the inter-layer insulation layer 408. The planarized inter-layer insulation layer 408 remains on the gate hard mask 404B with a thickness of about 1000 Å.

A photoresist pattern 410 is formed on the inter-layer insulation layer 408 in such a manner that a region 411 for forming a SAC (hereinafter referred to as a SAC region) in the cell array region is opened. The SAC region 411 can be a storage node contact region, a bit line contact region or a merged contact region obtained by merging the storage node contact region and the bit line contact region together. Herein, the illustrated SAC region is the merged contact region. The merged contact region is formed in a T-shape and

includes a partial portion of the active region 401 and that of a non-active region.

In case of the T-shaped merged contact region, the size of the merged contact region is bigger than that of each storage node contact region and bit line contact region itself. As a result of this increased size, it is possible to prevent an etching stop phenomenon usually occurring when the contact region is small. In addition, compared to a structure taught in an article by Kohyama et al. entitled "A fully printable, self-aligned and planarized stacked capacitor DRAM cell technology for 1Gbit DRAM and beyond", *symp. On VLSI. Digest of Technical Papers*, PP. 17-18, (1997), an occupying area of the photoresist pattern increases to thereby improve its etch selectivity.

Next, referring to Fig. 5C, the inter-layer insulation layer 408 is etched until a partial portion of the etch stop layer 406 over the active region 401 is exposed. From this etching, a plurality of contact holes 411A are formed. During the etching to the inter-layer insulation layer 408, the etch stop layer 406 serves to play an etching stop function. In the mean time, a photoresist strip process is performed to remove the photoresist pattern 410. Then, etch remnants are removed through a wet cleaning process.

Referring to Fig. 5D, an attack barrier layer 413 is deposited along the above etch profile containing the contact holes 411A. The attack barrier layer 413 is for preventing the inter-layer insulation layer 408 from being attacked

during a wet cleaning/etching process for extending the SAC contact region. For this purpose, the attack barrier layer 413 is made of a nitride-based material having a higher etch tolerance to a hydrofluoric acid (HF)-based solution than to an oxide layer. Examples of the nitride-based material for the attack barrier layer 413 are silicon nitride or silicon oxynitride.

In addition, the attack barrier layer 413 has a function that blocks chemicals used in the wet cleaning/etching process from being directly contacted to the inter-layer insulation layer 408. Therefore, it is preferable to deposit the attack barrier layer 413 with a thickness in a range from about 10 Å to about 100 Å to thereby minimize a decrease of the size of the SAC contact region.

Continuous to the attack barrier layer 413 deposition, a layer having a poor coverage property such as a plasma enhanced tetra-ethyl-ortho silicate (PETEOS) layer or an undoped silicate glass (USG) layer is deposited to form a capping layer 414. At this time, the capping layer 414 has an over-hang structure on an upper part of the gate electrode structure. Preferably, the sacrifice insulation layer 414 has a thickness ranging from about 500 Å to about 2000 Å.

Next, a wet cleaning/etching process is performed by using diluted HF-based chemicals in order to widen an opening portion of each contact hole 411A. It is preferable to employ such chemicals as a buffered oxide etchant (BOE) containing ammonium hydroxide (NH₄OH) and HF mixed in a ratio of about

50:1 to about 500:1 or a diluted HF solution diluted with H₂O in a ratio of about 50:1 to about 500:1. At this time, the aforementioned function of the attack barrier layer 413 further prevents an undercut of the inter-layer insulation layer 408.

Continuously, referring to Fig. 5E, the etch stop layer 406 and the attack barrier layer 413 deposited on the opening portion of the contact hole 411A are removed. Afterwards, the rest of the etch stop layer 406 and the attack barrier layer 413 remain as spacers 406A and 413A at both lateral sides of the gate conductive layer 404A and the gate hard mask 404B. Hereinafter, the spacers 406A and 413A are referred to as gate spacers.

Additionally, it is possible to perform an ion-implantation to the active regions 401 at both sides of the gate spacers 406A and 413A to reduce a contact resistance between a subsequently formed SAC plug and the corresponding active region 401.

Referring to Fig. 5F, a conductive layer made of polysilicon or tungsten is deposited on the above entire structure until being completely filled into the contact hole 411A. At this time, the conductive layer is deposited preferably to a thickness ranging from about 3000 Å to about 7000 Å. The conductive layer is then subjected to a chemical mechanical polishing (CMP) process or a blanket-etch process until an upper surface of the inter-layer insulation layer 408 is exposed. In case of performing the CMP process to the

conductive layer, slurry used for a typical polysilicon layer or tungsten layer is used.

The inter-layer insulation layer 408 and the conductive layer are planarized through a CMP process until an upper
5 surface of the etch stop layer 406 over the upper surface of the gate hard mask 404B is exposed. From this CMP process, storage node contact plugs 412A and bit line contact plugs 412B are electrically isolated from each other. Herein, the CMP process to the inter-layer insulation layer 408 and the
10 conductive layer also employs slurry used for etching a typical oxide layer.

In case that the SAC contact region is not the merged contact region, the CMP process for isolating electrically the storage node contact plugs 412A and the bit line contact plugs
15 412B from each other is omitted.

Figs. 6A to 6C are cross-sectional views showing a method for fabricating a semiconductor device in accordance with a second preferred embodiment of the present invention. The processes described in Fig. 2 and Figs. 3A and 3B are
20 performed identically, and thus, detailed descriptions on these processes are omitted for convenience. Also, the same reference numerals are used for the same constitution elements.

Referring to Fig. 6A, a capping layer 205 is formed on an upper part of the gate electrode pattern 202, and bonding
25 forces between atoms contained in sidewalls of a capping layer 205 are weakened by using an inert gas. Hereinafter, this weakened bonding forces between atoms is referred to as

impairment. This impairment is denoted as the reference numeral 207. Such gas as He, Ne, Ar, Kr and Xe are examples of the inert gas. At this time, an ion-implantation or an etch technique employing plasma (hereinafter referred to as a plasma etching technique) is performed to the sidewalls of the capping layer 205 with use of the inert gas. As a result, these impaired sidewalls 207 of the capping layer 205 can be easily removed during a subsequent wet cleaning/etching process.

Next, referring to Fig. 6B, the wet cleaning/etching process is performed to widen an opening portion of each contact hole 203. At this time, the wet cleaning/etching process uses diluted HF-based chemicals. From this wet cleaning/etching, the impaired sidewalls 207 of the capping layer 205 are removed. Herein, the diluted HF-based chemical is preferably a BOE containing NH_4OH and HF mixed in a ratio of about 50:1 to about 500:1 or a diluted HF solution diluted with H_2O in a ratio of about 50:1 to about 500:1. These processes contribute to make an improvement on a negative slope of the capping layer 205 to thereby prevent occurrences of the void phenomenon when a plug conductive layer is deposited.

Referring to Fig. 6C, an etch stop layer 202D particularly formed at a bottom side of the contact hole 203 is removed through a blanket-etch process. The rest of the etch stop layer 202D remain as a spacer at both sides of the gate electrode 202.

The plug conductive layer is deposited on the above entire structure until being completely filled into the contact holes 203. A polysilicon layer or a tungsten layer is an example of the plug conductive layer. Herein, the
5 deposited thickness of the plug conductive layer preferably ranges from about 3000 Å to about 7000 Å.

The CMP process or a blanket-etch process is performed until an upper surface of the capping layer 205 is exposed. In case of employing the CMP process for the planarization of
10 the plug conductive layer, slurry used for etching a typical polysilicon layer or tungsten layer is employed in the CMP process.

Then, a CMP process is performed again to the capping layer 205 and the plug conductive layer until an upper surface
15 of the gate hard mask 202C is exposed. This CMP process defines plugs 208 for storage node contacts and plugs 208 for bit line contact plugs and isolates them electrically from each other. Herein, the CMP process uses slurry used for etching a typical oxide layer.

20 In accordance with the preferred embodiments of the present invention, it is possible to prevent generations of seam during a plug formation. This effect is achieved by forming the attack barrier layer along an etch profile of the contact hole for forming a storage node contact plug or a bit
25 line contact plug. The function of the attack barrier layer is to prevent the inter-layer insulation layer from being chemically attacked during the wet cleaning/etching process

performed for extending the contact region.

To solve a gap-fill problem arose during the plug formation, sidewalls of the capping layer is impaired with use of the inert gas and the impaired sidewalls of the capping
5 layer are removed in the wet cleaning/etching process for extending an opening portion of each contact hole. This removal of the sidewalls of the capping layer improves an etch profile including the conductive pattern, i.e., the gate electrode pattern, to thereby improve the gap-fill property
10 during a deposition of the plug material. As a result of these improvements, occurrences of the void phenomenon can be suppressed to thereby further prevent generations of seam in the plug. Furthermore, these effects contribute to make increased yields of semiconductor devices with fewer defects.

15 In addition, although the present invention exemplifies cases of forming the plug in between the gate electrodes, it is applicable for any type of conductive patterns such as a bit line or a metal wire pattern.

While the present invention has been described with
20 respect to certain preferred embodiments, it will be apparent to those skilled in the art that various changes and modifications may be made without departing from the scope of the invention as defined in the following claims.

What is claimed is:

1. A method for fabricating a semiconductor device, comprising the steps of:
 - 5 forming a plurality of conductive patterns on a substrate;
 - forming an etch stop layer along the plurality of the conductive patterns;
 - forming an insulation layer on an entire surface of the
 - 10 substrate structure;
 - etching selectively the insulation layer to form a plurality of contact holes exposing a portion of the etch stop layer allocated in between the conductive patterns;
 - forming an attack barrier layer for preventing the
 - 15 insulation layer from being attacked by a chemical used in a wet cleaning/etching process along a profile containing the contact hole;
 - forming a capping layer having an over-hang structure on an upper part of each conductive pattern;
 - 20 extending an opening portion of each contact hole by performing a wet cleaning/etching process to a bottom side of each contact hole;
 - removing selectively a portion of the etch stop layer and the attack barrier layer disposed at the bottom side of
 - 25 each contact hole to expose a surface of the substrate; and
 - forming a plug contacted to the exposed surface of the contact hole.

2. The method as recited in claim 1, wherein the attack barrier layer is a nitride-based layer.

3. The method as recited in claim 2, wherein the attack
5 barrier layer has a thickness ranging from about 10 Å to about 100 Å.

4. The method as recited in claim 2, wherein the wet
cleaning/etching process uses a buffered oxide etchant
10 containing ammonium hydroxide (NH_4OH) and hydrofluoric acid (HF) mixed in a ratio of about 50:1 to about 500:1 or a diluted HF solution diluted with H_2O in a ratio of about 50:1 to about 500:1.

15 5. The method as recited in claim 1, wherein the capping layer is made of plasma enhanced tetra-ethyl-ortho silicate (PETEOS) or undoped silicate glass (USG).

6. The method as recited in claim 1, further comprising
20 the step of weakening bonding forces between atoms contained in sidewalls of the capping layer with use of an inert gas after forming the capping layer and wherein the sidewalls of the capping layer containing the atoms with weakened bonding
forces are removed at the step of performing the wet
25 cleaning/etching process.

7. The method as recited in claim 6, wherein the step

of weakening bonding forces between atoms contained in sidewalls of the capping layer is performed by using a plasma etching technique employing the inert gas.

5 8. The method as recited in claim 6, wherein, at the step of weakening bonding forces between atoms contained in sidewalls of the capping layer, the inert gas is ion-implanted onto the sidewalls of the capping layer.

10 9. The method as recited in claim 5, wherein the capping layer has a thickness ranging from about 500 Å to about 2000 Å.

15 10. The method as recited in claim 1, wherein the conductive pattern includes a gate electrode pattern, a bit line pattern or a metal wire pattern.

20 11. The method as recited in claim 1, wherein the plug is formed with a polysilicon layer or a tungsten layer.

25 12. A method for fabricating a semiconductor device, comprising the steps of:

forming a plurality of conductive patterns on a substrate;

forming an etch stop layer along the plurality of the conductive patterns;

forming an insulation layer on an entire surface of the

substrate structure;

etching selectively the insulation layer to form a plurality of contact holes exposing a portion of the etch stop layer allocated in between the conductive patterns;

5 forming a capping layer having an over-hang structure on an upper part of each conductive pattern;

weakening bonding forces between atoms contained in sidewalls of the capping layer with use of an inert gas;

extending an opening portion of the contact hole by
10 performing a wet cleaning/etching process and simultaneously removing the sidewalls of the capping layer;

removing selectively a portion of the etch stop layer disposed at a bottom side of each contact hole to expose a surface of the substrate; and

15 forming a plug contacted to the exposed surface of the substrate.

13. The method as recited in claim 12, wherein the step of weakening bonding forces between atoms contained in
20 sidewalls of the capping layer is performed by using a plasma etching technique employing the inert gas.

14. The method as recited in claim 12, wherein, at the step of weakening bonding forces between atoms contained in
25 sidewalls of the capping layer, the inert gas is ion-implanted onto the sidewalls of the capping layer.

15. The method as recited in claim 12, wherein, at the step of performing a wet cleaning/etching process, the wet cleaning/etching process uses a buffered oxide etchant containing NH_4OH and HF mixed in a ratio of about 50:1 to about 500:1 or a diluted HF solution diluted with H_2O in a ratio of about 50:1 to about 500:1.

16. The method as recited in claim 12, wherein the capping layer is made of PETEOS or USG.

10

17. The method as recited in claim 12, wherein the conductive pattern includes a gate electrode pattern, a bit line pattern or a metal wire pattern.

15 18. The method as recited in claim 12, wherein the plug is made of a polysilicon layer or a tungsten layer.

Abstract of the Disclosure

The present invention is related to a method for fabricating a semiconductor device capable of preventing occurrences of void and seam phenomena caused by a negative slope of an insulation layer or a bowing profile phenomenon in a cross-sectioned etch profile of a contact hole. To achieve this effect, the attack barrier layer or the capping layer is additionally deposited on the profile containing self-aligned contact holes in order to prevent an undercut of the inter-layer insulation layer, which is a main cause of the seam generations. Also, the attack barrier layer has a function of preventing the inter-layer insulation layer from being attacked during the wet cleaning/etching process. Ultimately, it is possible to improve device characteristics with the prevention of the seam generations.

FIG. 1A
(PRIOR ART)

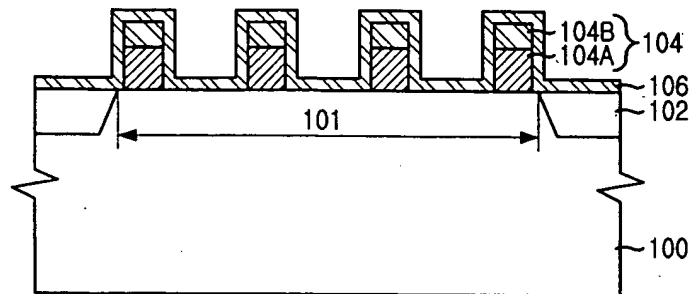


FIG. 1B
(PRIOR ART)

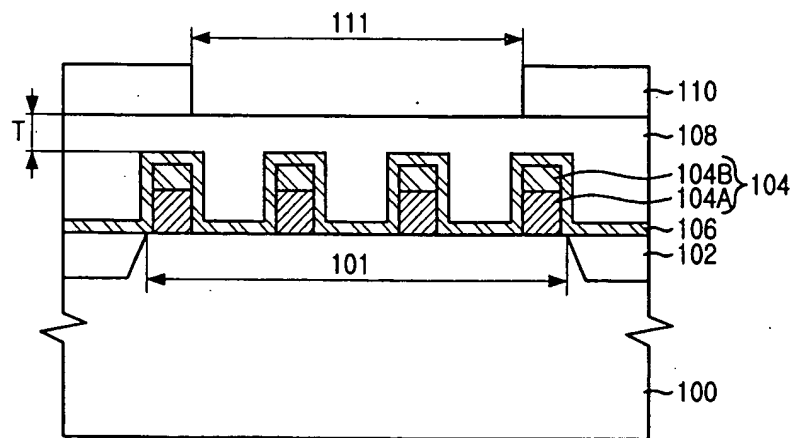


FIG. 1C
(PRIOR ART)

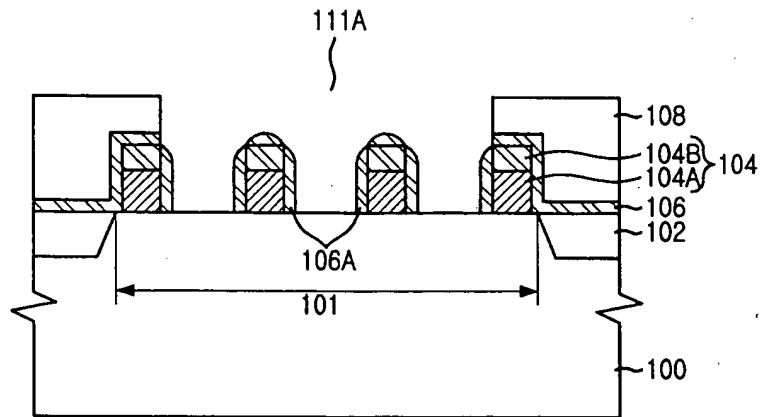


FIG. 1D
(PRIOR ART)

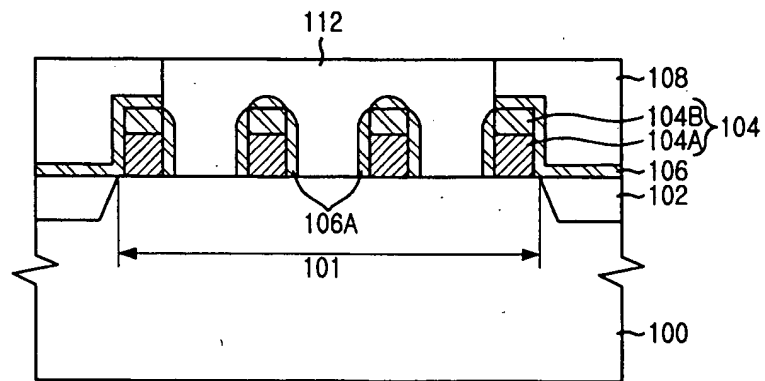


FIG. 1E
(PRIOR ART)

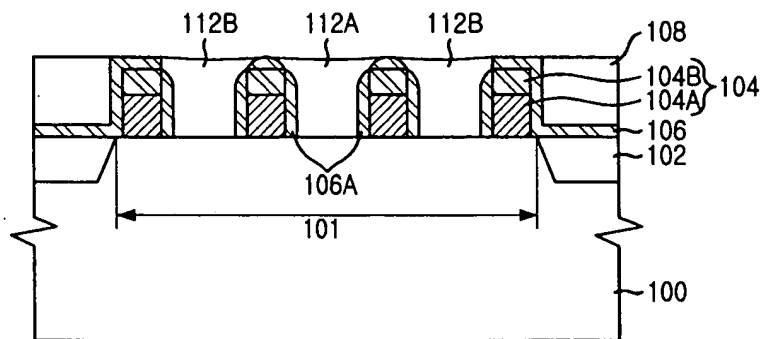


FIG. 2
(PRIOR ART)

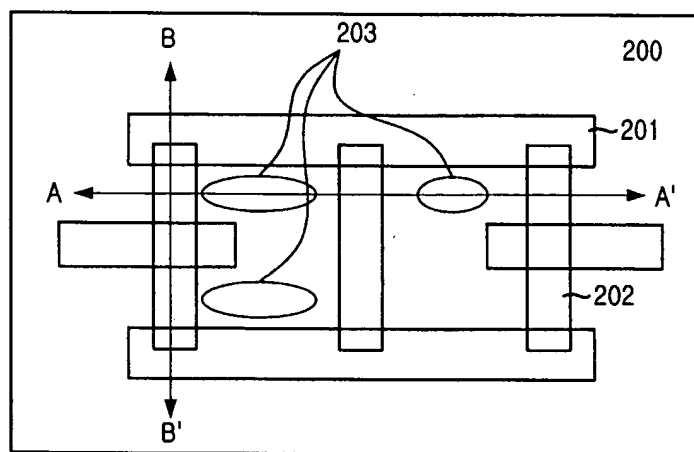


FIG. 3A
(PRIOR ART)

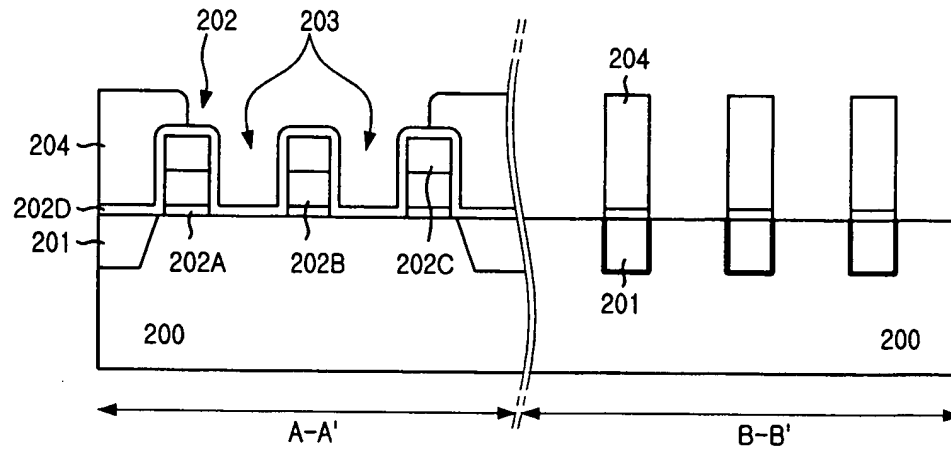
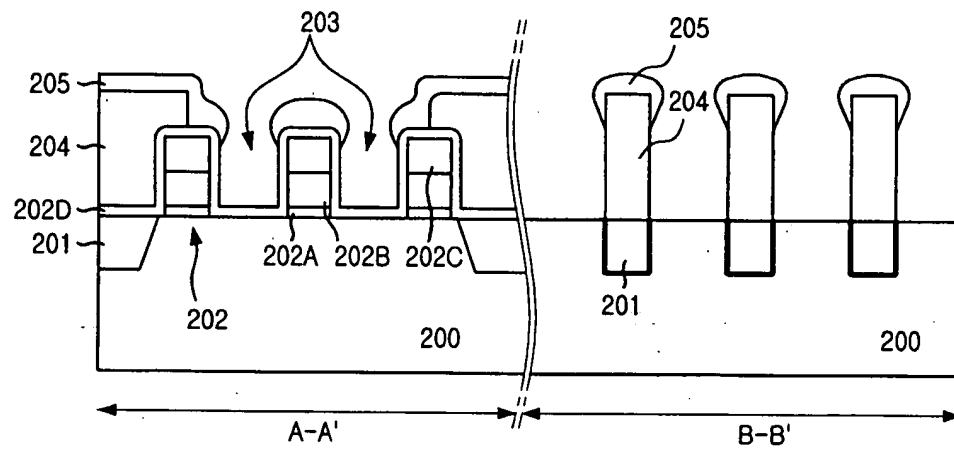


FIG. 3B
(PRIOR ART)



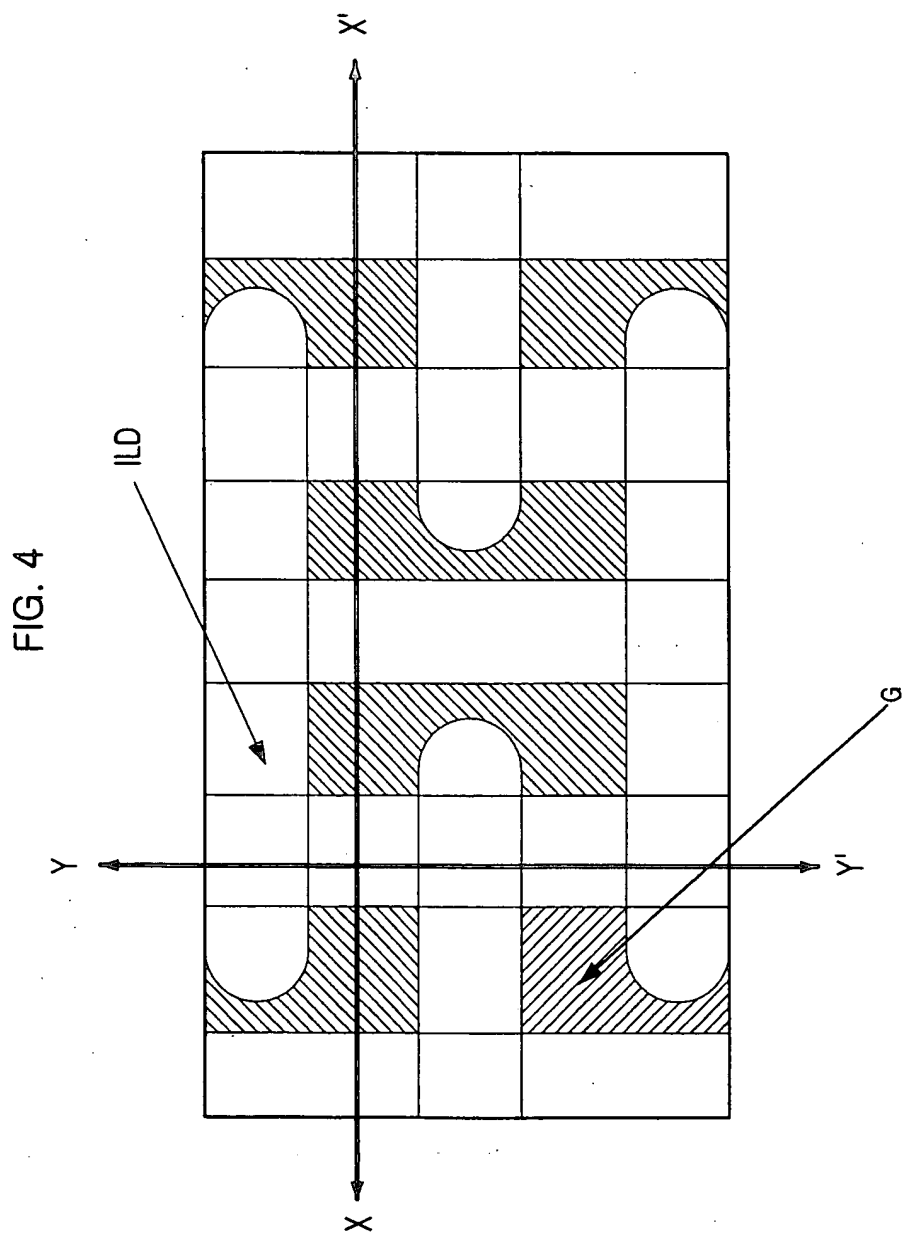


FIG. 5A

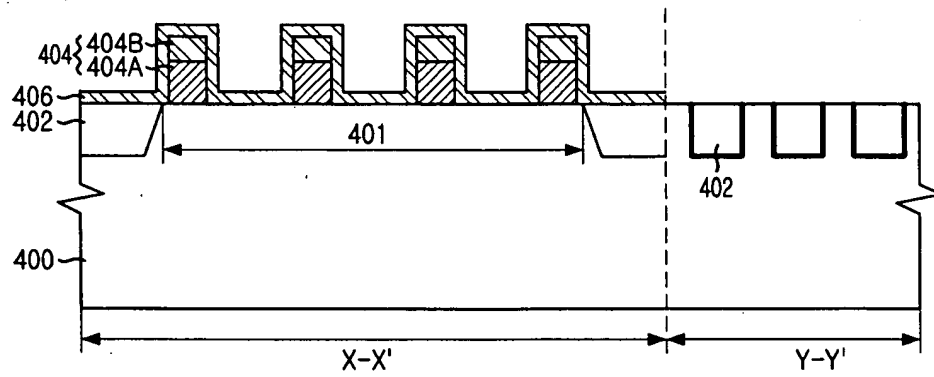


FIG. 5B

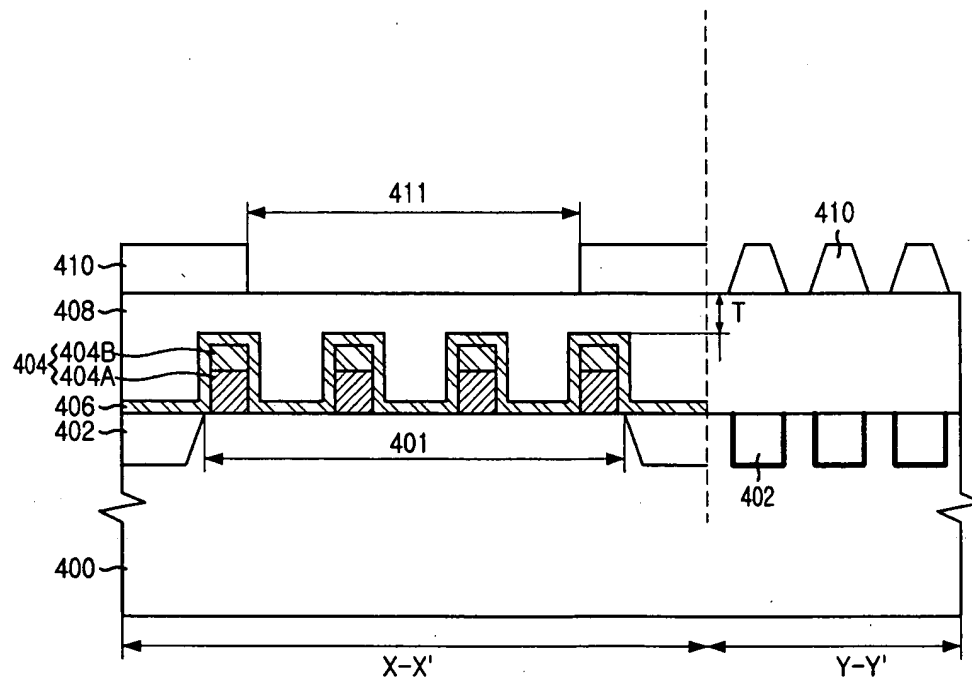


FIG. 5C

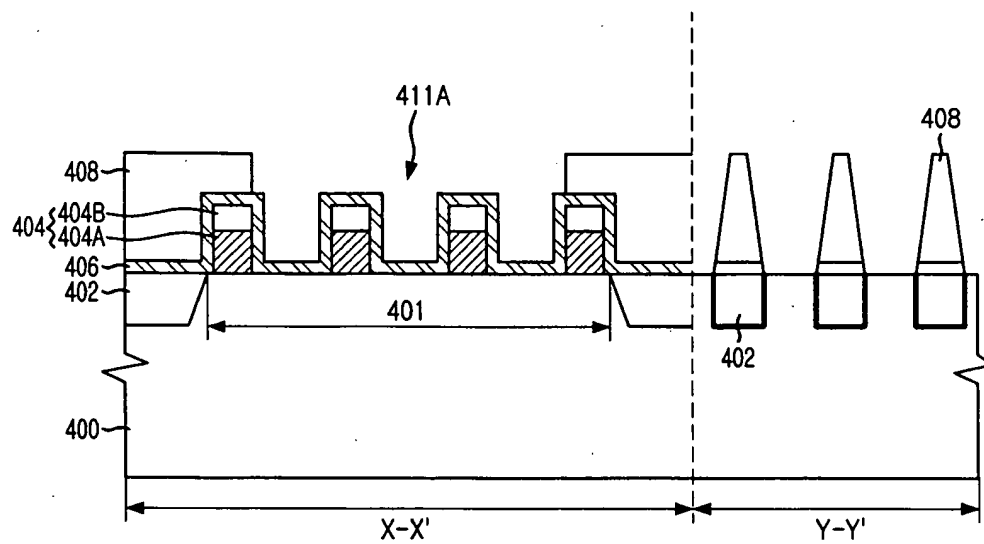


FIG. 5D

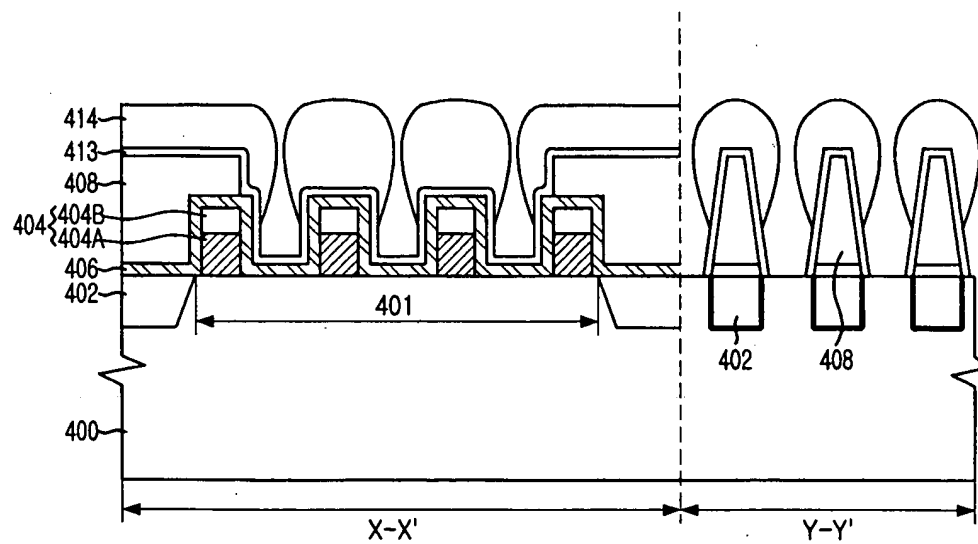


FIG. 5E

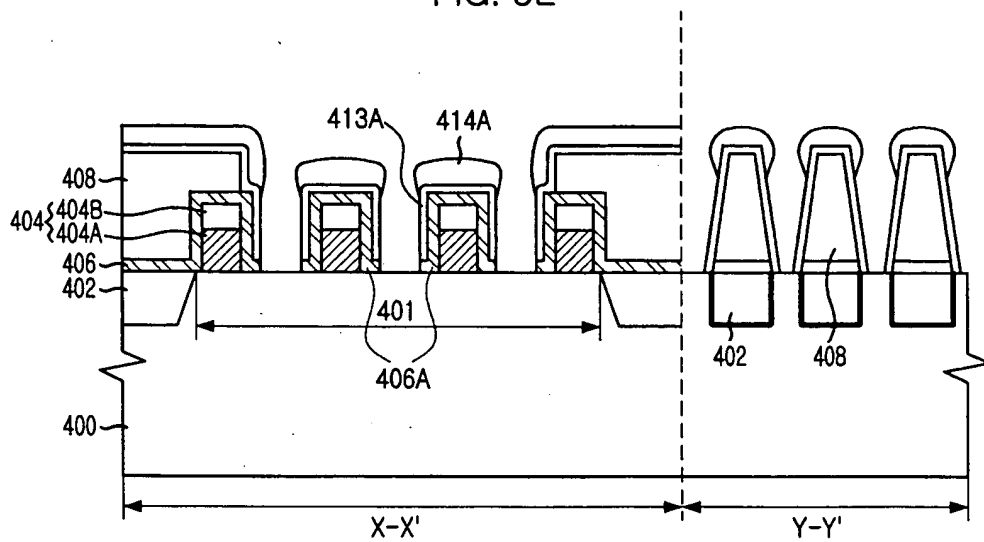


FIG. 5F

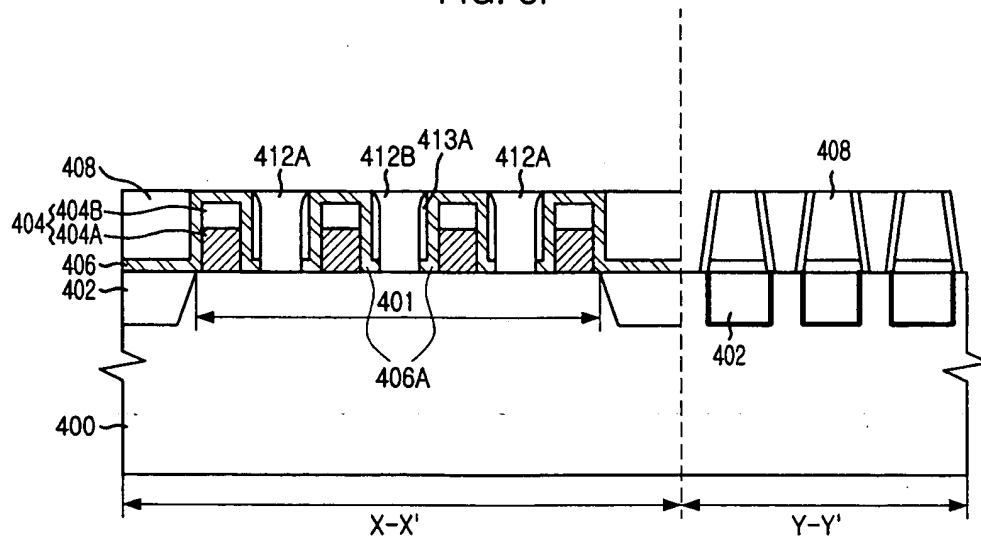


FIG. 6A

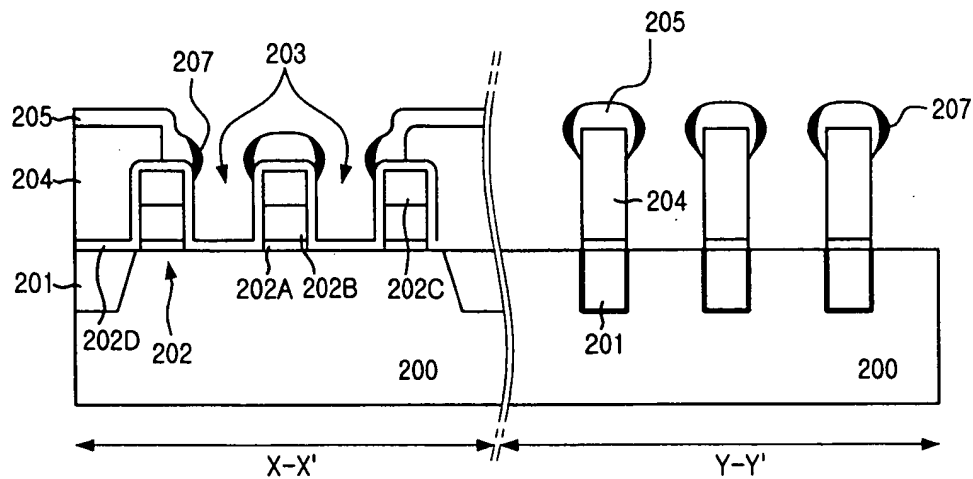


FIG. 6B

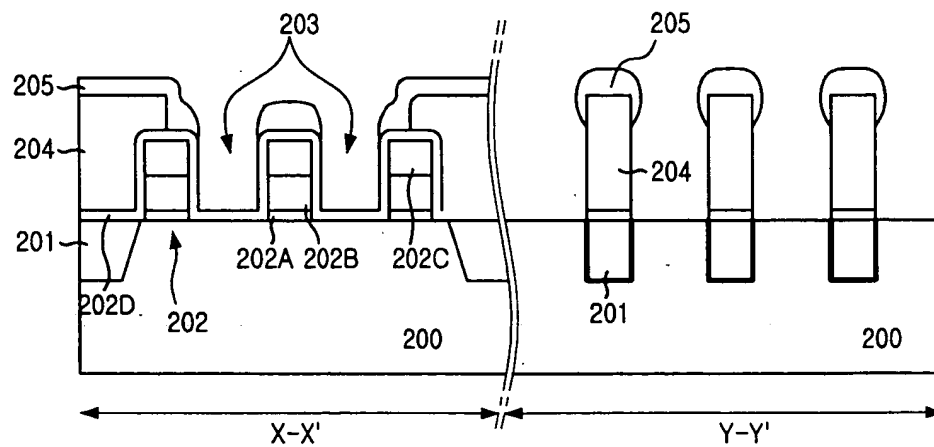
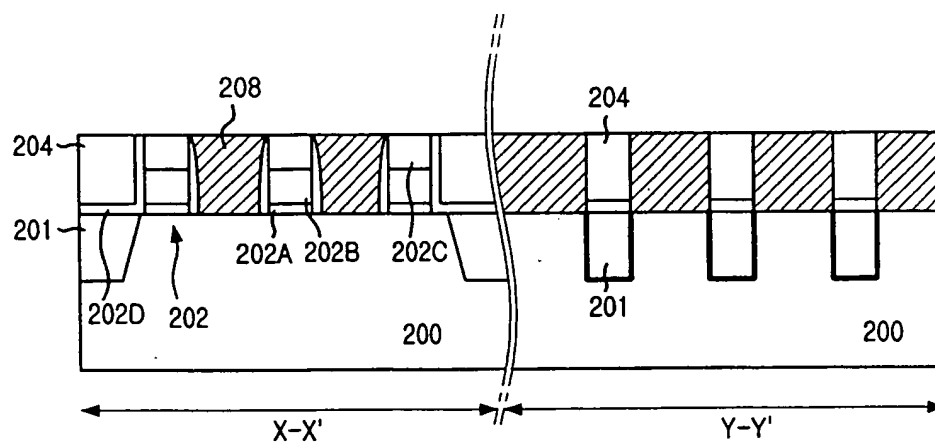


FIG. 6C



**DECLARATION
AND POWER OF ATTORNEY
U.S.A.**

ALL PATENTS, INCLUDING DESIGN
FOR APPLICATION BASED ON PCT, PARIS CONVENTION;
NON PRIORITY; OR PROVISIONAL APPLICATIONS

As a below named inventor, I declare that my residence, post office address and citizenship are stated below next to my name, the information given herein is true, that I believe that I am the original, first and sole inventor (if only one name is listed at 201 below), a first and joint inventor (if plural inventors are named below at 201-203, or on additional sheets attached hereto) of the subject matter which is claimed and for which patent is sought on the invention entitled:

METHOD FOR FABRICATING SEMICONDUCTOR DEVICE CAPABLE OF REDUCING SEAM GENERATIONS

which is described and claimed in:

☒ the attached specification

☐ PCT International Application No. _____ filed _____

☐ the specification in application Serial No. _____ filed _____

(if applicable) and amended on _____

I hereby state that I have reviewed and understand the contents of the above-identified specification, including the claims, as amended by any amendment referred to above.

I acknowledge the duty to disclose information which is material to patentability as defined in Title 37, Code of Federal Regulations, §1.56.

I hereby claim foreign priority benefits under Title 35, United States Code, §119 (a)-(b) of any foreign application(s) for patent or inventor's certificate listed below and have also identified below any foreign application for patent or inventor's certificate having a filing date before that of the application on which priority is claimed:

Prior Foreign Application(s)

2002-37257

(Number)

REPUBLIC OF KOREA

(Country)

29/06/2002

(Day/Month/Year Filed)

Priority Claimed

☒ Yes ☐ No

2002-84097

(Number)

REPUBLIC OF KOREA

(Country)

26/12/2002

(Day/Month/Year Filed)

☒ Yes ☐ No

(Number)

(Country)

(Day/Month/Year Filed)

☐ Yes ☐ No

I hereby claim the benefit under Title 35, United States Code, §119(e) of any United States provisional application(s) listed below:

Application No. _____ Filing Date _____ Application No. _____ Filing Date _____

I hereby claim the benefit under Title 35, United States Code, §120 of any United States application(s) listed below and, insofar as the subject matter of each of the claims of this application is not disclosed in the prior United States application in the manner provided by the first paragraph of Title 35, United States Code, §112, I acknowledge the duty to disclose information which is material to patentability as defined in Title 37, Code of Federal Regulations §1.56 which became available between the filing date of the prior application and the national or PCT international filing date of this application:

(Application Serial No.)

(Filing Date)

(Status: patented, pending, abandoned)

POWER OF ATTORNEY: As a named inventor, I hereby appoint the following attorneys(Registration No.) to prosecute this application, receive and act on instructions from my agent, and transact all business in the Patent and Trademark Office connected therewith. HARVEY B. JACOBSON, JR.(20,851); D. DOUGLAS PRICE (24,514); JOHN CLARKE HOLMAN (22,789), MARVIN R. STERN (20,640); MICHAEL R. SLOBASKY (26,421); JONATHAN L. SCHERER (29,851); IRWIN M. AISENBERG (19,007); WILLIAM E. PLAYER (31,409); and YOON S. HAM (45,307)

SEND CORRESPONDENCE TO:

JACOBSON, PRICE, HOLMAN & STERN
PROFESSIONAL LIMITED LIABILITY COMPANY
400 Seventh Street, N.W.
Washington, D.C. 20004

DIRECT TELEPHONE CALLS TO:

(please use Attorney's Docket No.) (202) 638-8866

JACOBSON, PRICE, HOLMAN & STERN
PROFESSIONAL LIMITED LIABILITY COMPANY

* Inventor(s) name must include at least one unabbreviated first or middle name.

201	FULL NAME OF INVENTOR	FAMILY NAME	GIVEN NAME	MIDDLE NAME
	RESIDENCE & CITIZENSHIP	CITY	STATE OR FOREIGN COUNTRY	COUNTRY OF CITIZENSHIP
	POST OFFICE ADDRESS	POST OFFICE ADDRESS	CITY	STATE OR COUNTRY
202	FULL NAME OF INVENTOR	FAMILY NAME	GIVEN NAME	MIDDLE NAME
	RESIDENCE & CITIZENSHIP	CITY	STATE OR FOREIGN COUNTRY	COUNTRY OF CITIZENSHIP
	POST OFFICE ADDRESS	POST OFFICE ADDRESS	CITY	STATE OR COUNTRY
203	FULL NAME OF INVENTOR	FAMILY NAME	GIVEN NAME	MIDDLE NAME
	RESIDENCE & CITIZENSHIP	CITY	STATE OR FOREIGN COUNTRY	COUNTRY OF CITIZENSHIP
	POST OFFICE ADDRESS	POST OFFICE ADDRESS	CITY	STATE OR COUNTRY

I further declare that all statements made herein of my own knowledge are true and that all statements made on information and believed to be true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment or both, under section 1001 of Title 18 of the United States Code; and that such willful false statements may jeopardize the validity of the application or any patent issuing thereon.

SIGNATURE OF INVENTOR 201*	SIGNATURE OF INVENTOR 202*	SIGNATURE OF INVENTOR 203*
DATE	DATE	DATE

☐ Additional inventors are named on separately numbered sheets attached hereto.
© JPH&S 1995 8/95; 3/97 (COPYING WITHOUT DELETIONS PERMITTED)

Form PTO-1595

RECORDATION FORM COVER SHEET

U.S. DEPARTMENT OF COMMERCE

(Rev. 03/01)

PATENTS ONLY

U.S. PATENT AND TRADEMARK OFFICE

To the honorable Commissioner of Patents and Trademarks: Please record the attached original document or copy thereof:

1. Name of Conveying Party(ies):

LEE, SUNG-KWON

LEE, MIN-SUK

2. Name and Address of Receiving Party(ies):

Name: **Hynix Semiconductor Inc.**Street Address: **San 136-1, Ami-ri, Bubal-eup**

Street Address:

City: **Ichon-shi, Kyoungki-do**State/Country: **Korea**Postal Code: **467-860**Additional name(s) of conveying party(ies) attached? ☐ Yes ☒ NoAdditional name(s) and addresses attached? ☐ Yes ☒ No

3. Nature of Conveyance:

☒ Assignment☐ Change of Name☐ Security Agreement☐ Other:☐ MergerExecution Date: **06272003**

4. Application Number(s) or Patent Number(s):

☒ Assignment is being filed together with new application and the first execution date of application is: **06272003**☐ Application has been filed already and the application filing date is:

A. Patent Application Number(s):

B. Issued Patent Number(s):

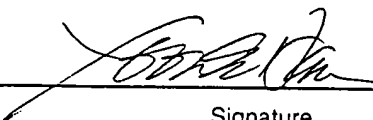
Additional numbers attached? ☐ Yes ☒ No

5. Name and address of party to whom correspondence concerning this matter should be mailed:

CUSTOMER NUMBER 00136 -or-**JACOBSON HOLMAN PLLC****400 Seventh Street, N.W.****Washington, D.C. 20004-2218****Tel. 202-638-6666**Attorney Docket Number: **P68950US0**6. Total number of applications and patents involved: **1**7. Total Fee (37 CFR 3.41): **\$ 40.00**☒ Enclosed☒ Any deficiencies in enclosed fees are authorized to be charged to **Deposit Account No. 06-1358.**

DO NOT USE THIS SPACE

8. Statement and Signature:

*To the best of my knowledge and belief, the foregoing information is true and correct and any attached copy is a true copy of the original document.***Yoon S. Ham/45,307****June 27, 2003**

Name of Person Signing, Reg. No.

Signature

Date

Total number of pages including cover sheet, attachments, and documents:

-2-

UNITED STATES OF AMERICA-ASSIGNMENT

(1-6) Insert Name(s) of Inventors

- (1) LEE, SUNG-KWON
- (2) LEE, MIN-SUK
- (3) _____
- (4) _____
- (5) _____
- (6) _____

In consideration of the sum of one dollar (\$1.00), and other good and valuable considerations paid to each of the undersigned, the receipt and sufficiency of which are hereby acknowledged, the undersigned agree(s) to assign, transfer and set over to

(7) Insert Name of assignee

(7) Hynix Semiconductor Inc.

(8) Insert Address of Assignee

(8) of San 136-1, Ami-ri, Bubal-eub, Ichon-shi, Kyoungki-do 467-860,
Republic of Korea

(9) Insert Legal Entity and State or Country (e.g., a corporation or citizen of Japan)

(9) a Corporation of Republic of Korea

(hereinafter designated as the Assignee) the entire right, title and interest for the United States, its territories, dependencies and possessions, in the invention known as

(10) Insert Identification of Invention, such as Title, Case Number or Foreign Application Number


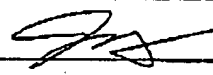
(10) METHOD FOR FABRICATING SEMICONDUCTOR DEVICE CAPABLE OF
REDUCING SEAM GENERATIONS

(11) Insert Date of Signing of Application, or filing date and Serial No., if known

for which the undersigned has (have) executed an application for patent in the United States of America
(11) Said application having been executed/ filed on June 27 2003 (and assigned
Serial No. New Application)

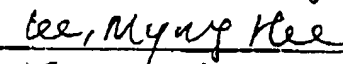
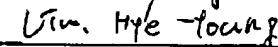
- 1) The undersigned agree(s) to execute all papers necessary in connection with this application and any continuing or divisional applications thereof and also to execute separate assignments in connection with such application as the Assignee may deem necessary or expedient.
- 2) The undersigned agree(s) to execute all papers necessary in connection with any interference which may be declared concerning this application or any continuing or divisional applications thereof and to cooperate with the Assignee in every way possible in obtaining evidence and going forward with such interference.
- 3) The undersigned agree(s) to execute all papers and documents and perform any act which may be necessary in connection with claims or provisions of the International Union for Protection of Industrial Property or similar agreements.
- 4) The undersigned agree(s) to perform all affirmative acts which may be necessary to obtain a grant of a valid United States patent to the Assignee.
- 5) The undersigned hereby authorize(s) and request(s) the Commissioner of Patents and Trademarks to issue any and all Letters Patents of the United States resulting from this application or any continuing or divisional applications thereof to the said Assignee, as Assignee of the entire interest, and hereby covenants that he has (they have) full right to convey the entire interest herein assigned, and that he has (they have) not executed, and will not execute, any agreement in conflict herewith.
- 6) The undersigned hereby grant(s) the law firm of Jacobson, Price, Holman & Stern, 400 Seventh Street, N.W., Washington, D.C. 20004, the power to insert on this assignment any further identification which may be necessary or desirable in order to comply with the rules of the United States Patent and Trademark Office for recordation of this document.

In witness whereof, executed by the undersigned on the date(s) opposite the undersigned name(s).

Date <u>June 27, 2003</u>	Name of Inventor <u>LEE, SUNG-KWON</u>		(SEAL)
Date <u>June 27, 2003</u>	Name of Inventor <u>LEE, MIN-SUK</u>		(SEAL)
Date _____	Name of Inventor _____	_____	(SEAL)
Date _____	Name of Inventor _____	_____	(SEAL)
Date _____	Name of Inventor _____	_____	(SEAL)
Date _____	Name of Inventor _____	_____	(SEAL)
Date _____	Name of Inventor _____	_____	(SEAL)

This assignment should preferably be signed before a United States Consul if signed abroad, or a Notary public if domestically signed. If not, then the execution by the inventor(s) should be witnessed by at least two witnesses who sign here:

☐ A additional inventor's names and signatures on a separate sheet.

Witness LEE, MYU NG-HEE 
Witness LIM, HYE-YOUNG 

LAW OFFICES OF
JACOBSON, PRICE, HOLMAN & STERN
THE JENIFER BUILDING
400 SEVENTH STREET, N.W.
WASHINGTON, D.C. 20004



UNITED STATES PATENT AND TRADEMARK OFFICE

UNDER SECRETARY OF COMMERCE FOR INTELLECTUAL PROPERTY AND
DIRECTOR OF THE UNITED STATES PATENT AND TRADEMARK OFFICE

JANUARY 15, 2004

PTAS



102498136A

JACOBSON HOLMAN PLLC
400 SEVENTH STREET N.W.
SUITE 600
WASHINGTON, DC 20004

UNITED STATES PATENT AND TRADEMARK OFFICE
NOTICE OF RECORDATION OF ASSIGNMENT DOCUMENT

THE ENCLOSED DOCUMENT HAS BEEN RECORDED BY THE ASSIGNMENT DIVISION OF THE U.S. PATENT AND TRADEMARK OFFICE. A COMPLETE MICROFILM COPY IS AVAILABLE AT THE ASSIGNMENT SEARCH ROOM ON THE REEL AND FRAME NUMBER REFERENCED BELOW.

PLEASE REVIEW ALL INFORMATION CONTAINED ON THIS NOTICE. THE INFORMATION CONTAINED ON THIS RECORDATION NOTICE REFLECTS THE DATA PRESENT IN THE PATENT AND TRADEMARK ASSIGNMENT SYSTEM. IF YOU SHOULD FIND ANY ERRORS OR HAVE QUESTIONS CONCERNING THIS NOTICE, YOU MAY CONTACT THE EMPLOYEE WHOSE NAME APPEARS ON THIS NOTICE AT 703-308-9723. PLEASE SEND REQUEST FOR CORRECTION TO: U.S. PATENT AND TRADEMARK OFFICE, ASSIGNMENT DIVISION, BOX ASSIGNMENTS, CG-4, 1213 JEFFERSON DAVIS HWY, SUITE 320, WASHINGTON, D.C. 20231.

RECORDATION DATE: 06/27/2003

REEL/FRAME: 014258/0429
NUMBER OF PAGES: 2

BRIEF: ASSIGNMENT OF ASSIGNOR'S INTEREST (SEE DOCUMENT FOR DETAILS).

ASSIGNOR:
KANG, HYEOK

DOC DATE: 05/15/2003

ASSIGNEE:
HYNIX SEMICONDUCTOR INC.
SAN 136-1, AMI-RI, BUBAL-UEP
ICHON-SHI, KYUNGKI-DO
REPUBLIC
OF KOREA
467-860

SERIAL NUMBER: 10607052
PATENT NUMBER:

FILING DATE: 06/27/2003
ISSUE DATE:

014258/0429 PAGE 2

THERESA FREDERICK, EXAMINER
ASSIGNMENT DIVISION
OFFICE OF PUBLIC RECORDS

07-16-2003

Form PTO-1595

(Rev. 03/01)



102498136

EET

U.S. DEPARTMENT OF COMMERCE

U.S. PATENT AND TRADEMARK OFFICE

To the honorable Commissioner of Patents and Trademarks

attached original document or copy thereof:

1. Name of Conveying Party(ies):

KANG, HYEOK



2. Name and Address of Receiving Party(ies):

Name: Hynix Semiconductor Inc.

Street Address: San 136-1, Ami-Ri, Bubal-Uep

Street Address:

City: Ichon-Shi, Kyungki-Do

State/Country: Korea

Postal Code: 467-860

Additional name(s) of conveying party(ies) attached? ☐ Yes ☒ NoAdditional name(s) and addresses attached? ☐ Yes ☒ No

3. Nature of Conveyance:

☒ Assignment☐ Change of Name☐ Security Agreement☐ Other:☐ Merger

Execution Date: 05152003

4. Application Number(s) or Patent Number(s):

10607052

☒ Assignment is being filed together with new application and the first execution date of application is: 06272003☐ Application has been filed already and the application filing date is:

A. Patent Application Number(s):

B. Issued Patent Number(s):

Additional numbers attached? ☐ Yes ☒ No

5. Name and address of party to whom correspondence concerning this matter should be mailed:

CUSTOMER NUMBER 00136 -or-

JACOBSON HOLMAN PLLC

400 Seventh Street, N.W.

Washington, D.C. 20004-2218

Tel. 202-638-6666

Attorney Docket Number: P68942US0

6. Total number of applications and patents involved: 1

7. Total Fee (37 CFR 3.41): \$ 40.00

☒ Enclosed☒ Any deficiencies in enclosed fees are authorized to be charged to Deposit Account No. 06-1358.

DO NOT USE THIS SPACE

8. Statement and Signature:

To the best of my knowledge and belief, the foregoing information is true and correct and any attached copy is a true copy of the original document.

Yoon S. Ham/45,307

June 27, 2003

Name of Person Signing, Reg. No.

Signature

Date

Total number of pages including cover sheet, attachments, and documents:

-2-

JCH 103-2/02

07/16/2003 LRIJELLER 00000003 061358 10607052

01 FC:8021

40.00 BA



UNITED STATES OF AMERICA - ASSIGNMENT

(1-5) Insert Name(s) of Inventor(s) (1) Hyeok KANG
 (2) _____
 (3) _____
 (4) _____
 (5) _____

In consideration of the sum of one dollar (\$1.00), and other good and valuable considerations paid to each of the undersigned, the receipt and sufficiency of which are hereby acknowledged, the undersigned hereby assigns, transfers and sets over to

(6) Insert Name of Assignee (6) Hynix Semiconductor Inc.
 (7) Insert Address of Assignee (7) of San 136-1, Ami-Ri, Bubal-Uep, Ichon-Shi, Kyungki-Do 467-860, Republic of Korea
 (8) Insert Legal Entity and State or Country (e.g., a corporation or citizen of Korea) (8) A(n) Corporation of Republic of Korea
 (hereinafter designated as the Assignee) the entire right, title and interest for the United States, its territories, dependencies and possessions, in the invention known as
 (9) Insert Identification of Invention, such as Title, Case Number or Foreign Application Number (9) FLASH MEMORY DEVICE
 (10) Insert Date of signing of Application, or filing date and Serial No., if known (10) for which the undersigned has (have) executed an application for patent in the United States of Said application having been executed/filed on June 27, 2003 (and assigned Serial No. New Application)

- 1) The undersigned agree(s) to execute all papers necessary in connection with this application and any continuing or divisional and also to execute separate assignments in connection with such applications as the Assignee may deem necessary or expedient.
- 2) The undersigned agree(s) to execute all papers necessary in connection with any interference which may be declared concerning this or any continuing or divisional applications thereof and to cooperate with the Assignee in every way possible in obtaining evidence and going forward with such interference.
- 3) The undersigned agree(s) to execute all papers and documents and perform any act which may be necessary in connection with claims provisions of the International Union for Protection of Industrial Property or similar agreements.
- 4) The undersigned agree(s) to perform all affirmative acts which may be necessary to obtain a grant of a valid United States patent to the
- 5) The undersigned hereby authorize(s) and request(s) the Commissioner of Patents and Trademarks to issue any and all Letters Patents United States resulting from this application or any continuing or divisional applications thereof to the said Assignee, as Assignee of the entire interest, and hereby covenants that he has (they have) full right to convey the entire interest herein assigned, and that he has (they have) not executed, and will not execute any agreement in conflict herewith.
- 6) Assignor hereby further assigns to Assignee all claims and causes of action for infringement of the patent rights assigned herein, right to sue for, and collect damages for, any and all acts of past and future infringement.
- 7) The undersigned hereby grant(s) the law firm of Jacobson Holman PLLC, 400 Seventh Street, N.W., Washington, D.C. 20004, the power to insert on this assignment any further identification which may be necessary or desirable in order to comply with the rules of the United States Patent and Trademark Office for recordation of this document.

In witness whereof, executed by the undersigned on the date(s) opposite the undersigned name(s).

Date	<u>May 15, 2003</u>	Name of Inventor	<u>Hyeok KANG</u>	<u>Kang</u> (SEAL)
			Typed name	Signature
Date		Name of Inventor		(SEAL)
			Typed name	signature
Date		Name of Inventor		(SEAL)
			Typed name	signature
Date		Name of Inventor		(SEAL)
			Typed name	signature
Date		Name of Inventor		(SEAL)
			Typed name	signature

This assignment should preferably be signed before a United States Consul if signed abroad, or a Notary Public if domestically signed. If not, then the execution by the inventor(s) should be witnessed by at least two witnesses who sign here:

☐ Additional inventor's names and signatures on a separate sheet.

Witness Jin Seok KIM Jin Seok Kim
 Witness Sang Ho HAN Sang Ho HAN

LAW OFFICES OF
JACOBSON HOLMAN
 PROFESSIONAL LIMITED LIABILITY COMPANY
 THE JENIFER BUILDING
 400 SEVENTH STREET, N.W.
 WASHINGTON, D.C. 20004

LAW OFFICES OF
JACOBSON HOLMAN PLLC
400 SEVENTH STREET, N.W.
WASHINGTON, DC 20004
(202) 638-6666

DC 10/90/03

Att'y Docket: P68942USO
Serial/Patent No.: New Application
Applicant: Hyeok KANG
Filing Date: June 27, 2003

Today's Date: June 27, 2003

The following have been received in the U.S. Patent & Trademark Office on the date stamped hereon:

1. Application Transmittal (in duplicate);
2. 21-Page Specification, including 7 claims and Abstract;
3. 4 Sheets of Drawings (Figs. 1A-4);
4. Declaration and Power of Attorney;
5. Assignment document and cover sheet;
6. Certified copy of Korean Application No. 2002-72240; and
7. A Check for \$790.00; Check No: _____

10607052
6-27-03

31109 U.S. PTO
10/607052

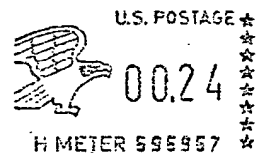


062703

Due Date: 11/20/2003

YSH:kyc

JACOBSON HOLMAN, PLLC
400 SEVENTH STREET, N.W., Suite 600
WASHINGTON, DC 20004
(202) 638-6666



LAW OFFICES OF
JACOBSON HOLMAN PLLC
400 SEVENTH STREET, N.W.
WASHINGTON, DC 20004
(202) 638-6666

Att'y Docket: P68942USO
Serial/Patent No.: New Application
Applicant: Hyeok KANG
Filing Date: June 27, 2003

Today's Date: June 27, 2003

The following have been received in the U.S. Patent & Trademark Office on the date stamped hereon:

1. Application Transmittal (in duplicate);
2. 21-Page Specification, including 7 claims and Abstract;
3. 4 Sheets of Drawings (Figs. 1A-4);
4. Declaration and Power of Attorney;
5. Assignment document and cover sheet;
6. Certified copy of Korean Application No. 2002-72240; and
7. A Check for \$790.00; Check No: 64256.



Due Date: 11/20/2003

YSH:kyc

JACOBSON HOLMAN, PLLC
400 SEVENTH STREET, N.W., Suite 600
WASHINGTON, DC 20004
(202) 638-6666



Law Offices
Jacobson Holman
Professional Limited Liability Company
400 Seventh Street, N.W.
Washington, D.C. 20004-2218

(202) 638-6666
(202) 393-5350/51/52 (fax)
www.jhip.com
Firm e-mail: ip@jhip.com

YOON S. HAM
Direct: (202) 662-8483
yham@jhip.com

June 27, 2003

Honorable Commissioner for Patents
PO Box 1450,
Alexandria, VA 22313

Atty. Docket No.: P68942US0
CUSTOMER NUMBER: 00136

Sir:

Transmitted herewith for filing is the patent application in the names of:

Hyeok KANG of Seoul, Republic of Korea,

for **FLASH MEMORY DEVICE**. The application comprises a 21-page specification including 7 claims (1 independent) and Abstract, 4 sheets of drawings (Figs. 1A-4), and a Declaration and Power of Attorney.

Accompanying this application for filing are:

- (1) Assignment document, cover sheet and \$40.00 fee for recordation of Assignment; and
- (2) A certified copy of Korean Application No. 2002-72240, filed November 20, 2002, the priority of which is claimed under 35 U.S.C. §119.

The filing fee has been calculated as shown:

Small Entity			\$ 750.00
Total Claims= <u>7</u> ;	in excess of 20 = 0 x (\$18.00) =		
Total Ind. Claims= <u>1</u> ;	in excess of 03 = 0 x (\$84.00) =	+	
	TOTAL FILING FEE:		\$ 750.00

A check in the amount of \$790.00, is enclosed to cover the total Filing Fee and an Assignment Recordation Fee. The Commissioner is hereby authorized to charge payment of any fees set forth in Sections 1.16 or 1.17 during the pendency of this application, or credit any overpayment, to deposit Account No. 06-1358. A duplicate copy of this sheet is enclosed.

Respectfully submitted,

By: 

Yoon S. Ham, Reg. No. 45,307

YSH:kyc
Enclosures

FLASH MEMORY DEVICE

BACKGROUND OF THE INVENTION

5 Field of the Invention

The present invention relates to a flash memory device, and more particularly, a flash memory device where a bank select circuit needs not to be modified even though location of the boot region is changed after completion of a design.

10

Background of the Related Art

A flash memory device being a nonvolatile memory device has a memory cell array where a boot region and a user region are divided. At this time, the boot region is a region for storing system information, which is not
15 allowed to be freely rewritten by a user. The user region is a region that could be freely rewritten by a user.

Data stored at the boot region could be executed by setting a given operating mode by a user. This boot region is located at the start portion or an end portion of the memory cell array, i.e., the top or bottom of the memory
20 cell array. The location of the boot region may be changed depending on circumstances requested by an application. Thus, it is necessary for the developer and designer of the flash memory device to consider the two things. At a time point when development is about to be finished, the start portion or the end portion may be decided, or these portions may be developed as an

individual product. For this reason, there is a load that the circuit has to be verified twice. Furthermore, the bank select circuit for controlling the operation of the bank must be modified by selecting the bank depending on the location of the boot region. Meanwhile, a flash memory device in which the boot region is not located only at one place of the top and bottom of the memory cell array but is located both at the top and bottom, has been developed. Therefore, a method of managing the boot region of the three modes is required and bank select circuit has to be modified accordingly. Due to this, there are problems that not only respective circuits must be individually discriminated in designing the flash memory but also time taken to verify the circuits is increased and size of the chip is increased.

SUMMARY OF THE INVENTION

Accordingly, the present invention is contrived to substantially obviate one or more problems due to limitations and disadvantages of the related art.

An object of the present invention is to provide a flash memory device where a bank select circuit needs not to be modified even though a boot location select signal for changing location of the boot region is changed.

Another object of the present invention is to provide a flash memory device where a bank select circuit needs not to be modified even though location of the boot region is changed, by generating a boot location select signal by coding it using a CFI (common flash interface) block.

Still another object of the present invention is to provide a flash memory

device where a bank select circuit needs not to be modified even though location of the boot region is changed, by generating a boot location select signal depending on the status of an OTP (one time program) cell in a protection block.

5 Further still another object of the present invention is to provide a flash memory device where a bank select circuit needs not to be modified even though location of the boot region is changed, by generating a boot location select signal by applying the power supply voltage or the ground voltage in a metal option.

10 Additional advantages, objects, and features of the invention will be set forth in part in the description which follows and in part will become apparent to those having ordinary skill in the art upon examination of the following or may be learned from practice of the invention. The objectives and other advantages of the invention may be realized and attained by the structure
15 particularly pointed out in the written description and claims hereof as well as the appended drawings.

To achieve these objects and other advantages and in accordance with the purpose of the invention, as embodied and broadly described herein, a flash memory device according to a preferred embodiment of the present invention
20 is characterized in that it comprises a latch means for latching an address signal, a first switching means for selectively outputting an output signal of the latch means or its inverted signal according to a boot location select signal and its inverted signal, a first carry counter for outputting a bank read signal and a first carry output signal according to the output signal of the first switching

means, a first carry input signal and a plurality of control signals, a second carry counter for outputting a bank write signal and a second carry output signal according to the output signal of the first switching means, a second carry input signal and the plurality of the control signals, a second switching means for selectively outputting the bank read signal or the bank write signal to control the operation of a first bank, according to the first bank select signal and its inverted signal, and a third switching means for selectively outputting the bank read signal or the bank write signal to control the operation of a second bank, according to the second bank select signal and its inverted signal.

10 In another aspect of the present invention, it is to be understood that both the foregoing general description and following detailed description of the present invention are exemplary and explanatory and are intended to provide further explanation of the invention as claimed.

15 BRIEF DESCRIPTION OF THE DRAWINGS

The above and other objects, features and advantages of the present invention will be apparent from the following detailed description of the preferred embodiments of the invention in conjunction with the accompanying drawings, in which:

20 FIG. 1 is a bank select circuit of a flash memory device according to the present invention;

FIG. 2 is a circuit for generating a boot location select signal according to a first embodiment of the present invention;

FIG. 3 is a circuit for generating the boot location select signal

according to a second embodiment of the present invention; and

FIG. 4 is a circuit for generating the boot location select signal according to a third embodiment of the present invention.

5 DETAILED DESCRIPTION OF THE PREFERRED EMBODIMENT

Reference will now be made in detail to the preferred embodiments of the present invention, examples of which are illustrated in the accompanying drawings, in which like reference numerals are used to identify the same or similar parts.

10 FIG. 1 illustrates a bank select circuit that is driven regardless of location of the boot region according to one embodiment of the present invention. The structure of the bank select circuit will be described by reference to FIG. 1.

A first inverter I101 inverts a control signal DWEBi and a second
15 inverter I102 inverts the output signal of the first inverter I101. The control signal DWEBi is a signal inputted through a word line enable pad, which is inputted through the buffer and inverter. A first transfer gate T11 is driven by the output signal of the first inverter I101 and output signal of the second inverter I102 to transfer an address signal AF inputted through the buffer.
20 A latch means 11 having a third inverter I103 and a fourth inverter I104 latches the address signal AF transferred through the first transfer gate T11. A fifth inverter I105 inverts the output signal of the latch means 11.

A sixth inverter I106 inverts a boot location select signal TOPCFG1 and a seventh inverter I107 inverts the output signal of the sixth inverter I106.

At this time, the boot location select signal **TOPCFG1** is a signal to select location of the boot region, wherein the signal is coded in a common flash interface (hereinafter called "CFI") block, or generated depending on the status of an OTP (one time program) cell in the protection block, or generated by
5 applying the power supply voltage or the ground voltage as a metal option. A second transfer gate **T12** is driven by the output signals of the sixth and seventh inverters **I106** and **I107** to transfer the output signal of the fifth inverter **I105** that inverts the output signal of the latch means **11**. A third transfer gate **T13** is driven by the output signals of the sixth and seventh
10 inverters **I106** and **I107** to transfer the output signal of the latch means **11**. In other words, the second and third transfer gates **T12** and **T13** reciprocally operate according to the outputs of the sixth and seventh inverters **I106** and **I107** to output the output signal of the fifth inverter **I105** or the output signal of the latch means **11**.

15 A first carry counter **12** receives the output signal **iA** of the second transfer gate **T12** or the third transfer gate **T13**, a first carry input signal **BCin** and a plurality of control signals **BADLATb**, **BADV**, **BINC** to output a bank read signal **oA** and a first carry output signal **BCout**. Meanwhile, a second carry counter **13** receives the output signal **iA** of the second transfer gate **T12**
20 or the third transfer gate **T13**, a second carry input signal **Cin** and a plurality of control signals **ADLATb**, **ADV**, **INC**, **RST** to output a bank write signal **oA1** and a second carry output signal **Cout**.

An eighth inverter **I108** inverts a first bank select signal **BK1WA** and a ninth inverter **I109** inverts the output signal of the eighth inverter **I108**. A

fourth transfer gate T14 is driven by the first bank select signal BK1WA and its inverted signal BW1WAb to transfer the bank read signal oA. A fifth transfer gate T15 is driven by the first bank select signal BK1WA and its inverted signal BW1WAb to transfer the bank write signal oA1. In other words, the fourth and fifth transfer gates T14 and T15 are reciprocally driven by the first bank select signal BK1WA and its inverted signal BW1WAb to transfer the bank read signal oA or the bank write signal oA1. The bank read signal oA or the bank write signal oA1 that were transferred through the fourth transfer gate T14 or the fifth transfer gate T15, are inputted to a first bank BA1 via tenth and eleventh inverters I110 and I111, which then control the read or write operation of the first bank BA1.

A twelfth inverter I112 inverts a second bank select signal BK2WA and a thirteenth inverter I113 inverts the output signal of the twelfth inverter I112. A sixth transfer gate T16 is driven by the second bank select signal BK2WA and its inverted signal BK2WAb to transfer the bank read signal oA. A seventh transfer gate T17 is driven by the second bank select signal BK2WA and its inverted signal BK2WAb to transfer the bank write signal oA1. In other words, the sixth and seventh transfer gates T16 and T17 are reciprocally driven by the second bank select signal BK2WA and its inverted signal BK2WAb to transfer the bank read signal oA or the bank write signal oA1. The bank read signal oA or the bank write signal oA1 that were transferred through the sixth transfer gate T16 or the seventh transfer gate T17, are inputted to a second bank BA2 via fourteenth and fifteenth inverters I114 and I115, which then control the read or write of the second bank BA2.

A method of driving the bank select circuit constructed above that is driven regardless of location of the boot region according to the present invention will be described.

The control signal **DWEBi** of a High state is inverted to a Low state via the first inverter **I101** and is then inverted to a High state via the second inverter **I102**. Therefore, the first transfer gate **T11** is turned on by the output signal of the first inverter **I101** of the Low state and the output signal of the second inverter **I102** of the High state to transfer the address signal **AF**. Next, the address signal **AF** transferred through the first transfer gate **T11** is latched in the latch means **11** having the third and fourth inverters **I103** and **I104**.

The signal latched by the latch means **11** is inverted by the fifth inverter **I105** and is then transferred via the second transfer gate **T12** or via the third transfer gate **T13**. The second and third transfer gates **T12** and **T13** reciprocally operate according to the status of the boot location select signal **TOPCFI1**. For example, if the boot location select signal **TOPCFG1** is applied as a High state in order to select the boot region at the top of the memory cell array, the boot location select signal **TOPCFG1** is inverted to a Low state by the sixth inverter **I106** and is then again inverted to a High state by the seventh inverter **I107**. Thereby, the second transfer gate **T12** is turned off and the third transfer gate **T13** is turned on, so that the signal latched in the latch means **11** is transferred via the third transfer gate **T13** (iA). On the contrary, if the boot location select signal **TOPCFG1** is applied as a Low state in order to select the boot region at the bottom of the memory cell array, the boot location select signal **TOPCFG1** is inverted to a High state by the sixth

inverter I106 and is then again inverted to a Low state by the seventh inverter I107. Thereby, the second transfer gate T12 is turned on and the third transfer gate T13 is turned off, so that the signal latched in the latch means 11 is inverted by the fifth inverter I105 and is then transferred via the second transfer gate T12 (iA). Therefore, if the address signal AF is at High state, the signal iA transferred via the second transfer gate T102 keeps a High state and the signal iA transferred via the third transfer gate T103 keeps a Low state. On the contrary, if the address signal AF is at Low state, the signal iA transferred via the second transfer gate T12 keeps a Low state and the signal iA transferred via the third transfer gate T13 keeps a High state.

The first carry counter 12 outputs the bank read signal oA and first carry output signal BCout according to the signal iA transferred through the second or third transfer gate T12 or T13 and the plurality of the control signals ABDLATb, BADV, BINC and the first carry input signal BCin. At this time, the bank read signal oA is outputted as the Low state when the signal iA keeps a Low state and the first carry input signal BCin keeps a Low state. The bank read signal oA is outputted as a Low state when the signal iA keeps a Low state and the first carry input signal BCin keeps a High state. Furthermore, the bank read signal oA is outputted as a High state when the signal iA keeps a High state and the first carry input signal BCin keeps a Low state. The bank read signal oA is outputted as a Low state when the signal iA keeps a High state and the first carry input signal BCin keeps a High state.

Meanwhile, the second carry counter 13 outputs the bank write signal oA1 and the second carry output signal Cout according to the signal iA

transferred through the second or third transfer gate T12 or T13 and the plurality of the control signals ADLATb, ADV, INC, RST and the second carry input signal Cin. At this time, the bank write signal oA1 is outputted as a Low state when the signal iA keeps a Low state and the second carry input
5 signal Cin keeps a Low state. Also, the bank write signal oA1 is outputted as a Low state when the signal iA keeps a Low state and the second carry input signal Cin keeps a High state. Furthermore, the bank write signal oA1 is outputted as a High state when the signal iA keeps a High state and the second carry input signal Cin keeps a Low state. Also, the bank write signal oA1 is
10 outputted as a Low state when the signal iA keeps a High state and the second carry input signal Cin keeps a High state.

If the first bank select signal BK1WA is applied as a High state and the second bank select signal BK2WA is applied as a Low state, the fourth transfer gate T14 is turned off and the fifth transfer gate T15 is turned on, by
15 the first bank select signal BK1WA and its inverted signal BK1WAb, so that the bank write signal oA1 is applied to the first bank BA1, which then controls the write operation of the first bank BA1. Furthermore, the sixth transfer gate T16 is turned on and the seventh transfer gate T17 is turned off, by the second bank select signal BK2WA and its inverted signal BK2WAb, so that the bank
20 read signal oA is applied to the second bank BA2, which then controls the read operation of the second bank BA2.

Meanwhile, if the first bank select signal BK1WA is applied as a Low state and the second bank select signal BK2WA is applied as a High state, the fourth transfer gate T14 is turned on and the fifth transfer gate T15 is turned

off by the first bank select signal **BK1WA** and its inverted signal **BK1WAb**, so that the bank read signal **oA** is applied to the first bank **BA1**, which then controls the read operation of the first bank **BA1**. Furthermore, the sixth transfer gate **T16** is turned off and the seventh transfer gate **T17** is turned on by the second bank select signal **BK2WA** and its inverted signal **BK2WAb**, so that the bank write signal **oA1** is applied to the second bank **BA2**, which then controls the write operation of the second bank **BA2**.

As described above, the bank select circuit in the flash memory device according to the present invention is driven regardless of the boot location select signal to control the read and write operation of the bank. In other words, in the flash memory device of the present invention, the bank select circuit needs not to be modified even though location of the boot region is changed after the design is completed.

FIG. 2 is a circuit for generating a boot location select signal according to a first embodiment of the present invention. The circuit senses the state of an OTP cell in a protection block to select a boot location depending on its state. The construction of the circuit for generating the boot location select signal will be now described.

A first inverter **I21** inverts an enable bar signal **ENb** and a second inverter **I22** inverts again the output of the first inverter **I21**, so that the potential of the first node **Q21** is decided. A first PMOS transistor **P21** connected between the power supply terminal **Vcc** and a second node **Q22** is driven by the potential of a first node **Q21**. A first NMOS transistor **N21** connected between the second node **Q22** and the ground terminal **Vss** is driven

by the potential of the first node Q21. A second NMOS transistor N22 connected between the second node Q22 and a third node Q23 is driven by the potential of a fourth node Q24. A memory cell M21 is connected between the third node Q23 and the ground terminal Vss. In the above, the memory
5 cell M21 is an OTP cell existing in the protection block. Location of the boot region is decided depending on the state of the OTP cell. For example, if the memory cell M21 is to be programmed, location of the boot region becomes the top of the memory cell array. If the memory cell M21 is to be erased, location of the boot region becomes the bottom of the memory cell array.

10 A second PMOS transistor P22 and a third PMOS transistor P23 are serially connected between the power supply terminal Vcc and the fourth node Q24. The second PMOS transistor P22 is driven by the potential of the first node Q21 and the third PMOS transistor P23 is driven by the potential of the third node Q23. A third NMOS transistor N23 and a fourth NMOS transistor
15 N24 are connected in parallel between the fourth node Q24 and the ground terminal Vss. The third NMOS transistor N23 is driven by the potential of the first node Q21 and the fourth NMOS transistor N24 is driven by the potential of the third node Q23. These second and third PMOS transistors P22 and P23 and the third and fourth NMOS transistors N23 and N24 serve as
20 a self regulator for constantly keeping the potential of the third node Q23.

A fifth NMOS transistor N25 that is driven by the output signal of the NOR gate 21, is connected between the third node Q23 and the ground terminal Vss. The NOR gate 21 logically combines an enable signal EN, a program signal TRIMPGM and an erase signal TRIMER.

The potential of the second node Q22 is inverted by the third inverter I23 and the output signal of the third inverter I23 is transferred through the transfer gate T21. The transfer gate T21 is driven by the second inverter I22 for inverting the enable bar signal ENb and the enable bar signal ENb. The
5 signal transferred via the transfer gate T21 is latched by the latch means 21 having fifth and sixth inverters I25 and I26. The output signal of the latch means 21 is outputted to the output terminal OUT via the seventh and eighth inverters I27 and I28.

The circuit for generating the boot location select signal constructed
10 above according to a first embodiment of the present invention operates same to the common sensing circuit. The operation of the circuit for generating the boot location select signal will be described in short.

If the OTP cell of the protection block is at program state, the second node Q22 keeps a High state. The potential of the second node Q22 that
15 keeps the High state is inverted to a Low state through the third inverter I24. The output signal of the third inverter I23 that keeps a Low state is transferred to the transfer gate T21 that is driven by the enable bar signal ENb and the output signal of the fourth inverter I24 for inverting the enable bar signal ENb. The signal transferred through the transfer gate T21 is latched by the latch
20 means 22 having the fifth and sixth inverters I25 and I26 and is then outputted as a High state. The signal latched in the latch means 22 keeps the potential of the High state through the seventh and eighth inverters I27 and I28 and is then outputted to the output terminal OUT.

Meanwhile, if the OTP cell in the protection block is at erase state, the

second node Q22 keeps a Low state. The potential of the second node Q22 that keeps the Low state is inverted to a High state through the third inverter I24. The output signal of the third inverter I23 that keeps the High state is transferred to the transfer gate T21 that is driven by the enable bar signal ENb and the output signal of the fourth inverter I24 for inverting the enable bar signal ENb. The signal transferred through the transfer gate T21 is latched by the latch means 22 having the fifth and sixth inverters I25 and I26 and is then outputted as a Low state. The signal latched in the latch means 22 keeps the potential of the Low state through the seventh and eighth inverters I27 and I28 and is then outputted to the output terminal OUT.

As described above, in the circuit for generating the boot location select signal according to one embodiment of the present invention, if the OTP cell of the protection block is at program state, the boot location select signal is outputted as a High state and the top of the memory cell array is selected as the boot location. If the OTP cell is at erase state, the signal is outputted as a Low state and the bottom of the memory cell array is selected as the boot location.

FIG. 3 is a circuit for generating the boot location select signal according to a second embodiment of the present invention. The circuit could decide location of the boot, by selectively connecting the power supply terminal Vcc or the ground terminal Vss to the output terminal OUT to decide the potential of the output terminal. In other words, if the power supply terminal Vcc is connected, the power supply voltage Vcc is outputted to the output terminal OUT via the first and second inverters I31 and I32. If the

ground terminal V_{ss} is connected, the ground voltage V_{ss} is outputted to the output terminal OUT via the first and second inverters I31 and I32. At this time, location of the boot is decided depending on the potential of the output terminal OUT. For example, if the potential of the power supply voltage V_{cc} is kept, location of the boot becomes the top of the memory cell array. If the potential of the ground voltage V_{ss} is kept, location of the boot becomes the bottom of the memory cell array.

FIG. 4 is a circuit for generating the boot location select signal by coding it in a CFI block according to another embodiment of the present invention. The construction of the circuit will be described.

A fixed data storage means 44 is to store information the possibility of change is little. For example, this storage means includes a storage means for which write and erase are impossible such as PLA. A variable data storage means 45 is to store information the possibility of change is high. For example, this storage means includes a storage means for which write and erase are possible such as the memory cell. The boot location select signal is coded and stored at this fixed data storage means 44 or the variable data storage means 45. The address decoder 42 decodes the address signal inputted through the address bus 41 and the control signal inputted through a given control line to specify addresses of the fixed data storage means 44 and the variable data storage means 45. A command state machine 43 determines whether to read information of the fixed data storage means 44 and variable data storage means 45, delete information stored at the variable data storage means 45 or replace it with new information, according to a decoded signal

inputted from the address decoder 42. Information stored at the fixed data storage means 44 and variable data storage means 45, which is read according to the command state machine 43, is outputted via a data bus 46.

5 A method of driving the circuit for generating the boot location select signal by coding it in the CFI block according to another embodiment of the present invention, will be below described.

The boot location select signal is coded and stored at the fixed data storage means 44 or the variable data storage means 45. The address decoder 42 decodes the address signal and the control signal from the system, which
10 are inputted through the address bus 41 and a given control line and then stores addresses of the fixed data storage means 44 and variable data storage means 45. At the same time, the command state machine 43 receives the control signal from the system and the decoded signal from the address decoder 42 to confirm a command corresponding to a specified address. In other words, the
15 decoded signal inputted from the address decoder 42 decides whether to read information of the variable data storage means 44 and the fixed data storage means 45, delete information stored at the fixed data storage means 45 or replace it with new information. These read, write and delete operations are implemented according to the internal structure of each of the variable data
20 storage means 44 and the fixed data storage means 45. The output value accordingly thereto, i.e., a corresponding code is outputted via the data bus 46. However, in the operation of deleting information stored at the variable data storage means 45 or writing new information, a flag being a signal indication the operation status not a code is loaded onto the data bus 46.

Meanwhile, although examples of the top and bottom boot regions have been described in the above embodiments of the present invention, the present invention is not limited to it. Instead, the present invention may be applied to the flash memory devices located at both ends of the bottom and top.

5 As described above, according to the present invention, the boot location select signal for selecting location of the boot region is generated by coding it in the CFI block, generated depending on the state of the OTP cell in the protection block, or generated by applying the power supply voltage or the ground voltage as a metal option. Therefore, the present invention has
10 advantageous effects that it can shorten development time, simplify the verification work and reduce the size of a chip, since the bank select circuit needs not be modified even though location of the boot region is changed.

The forgoing embodiments are merely exemplary and are not to be construed as limiting the present invention. The present teachings can be
15 readily applied to other types of apparatuses. The description of the present invention is intended to be illustrative, and not to limit the scope of the claims. Many alternatives, modifications, and variations will be apparent to those skilled in the art.

What is claimed is:

1. A flash memory device, comprising:

a latch means for latching an address signal;

5 a first switching means for selectively outputting an output signal of the latch means or its inverted signal according to a boot location select signal and its inverted signal;

a first carry counter for outputting a bank read signal and a first carry output signal according to the output signal of the first switching means, a first
10 carry input signal and a plurality of control signals;

a second carry counter for outputting a bank write signal and a second carry output signal according to the output signal of the first switching means, a second carry input signal and the plurality of the control signals;

a second switching means for selectively outputting the bank read signal
15 or the bank write signal to control the operation of a first bank, according to the first bank select signal and its inverted signal; and

a third switching means for selectively outputting the bank read signal or the bank write signal to control the operation of a second bank, according to the second bank select signal and its inverted signal.

20

2. The flash memory device as claimed in claim 1, wherein the boot location select signal is coded and generated in a fixed data storage means or a variable data storage means in a CFI block.

3. The flash memory device as claimed in claim 1, wherein the boot location select signal is generated depending on the state of an OTP cell in a protection block.

5 4. The flash memory device as claimed in claim 1, wherein the boot location select signal is generated by a high voltage or a low voltage that is generated by applying the power supply voltage or the ground voltage.

5. The flash memory device as claimed in claim 1, wherein the
10 first switching means comprises:

a first transfer gate driven by the boot location select signal and its inverted signal, for transferring an inverted signal of the output signal of the latch means; and

a second transfer gate driven by the boot location select signal and its
15 inverted signal, for transferring the output of the latch means,
wherein the first and second transfer gates reciprocally operate.

6. The flash memory device as claimed in claim 1, wherein the second switching means comprises:

20 a first transfer gate for outputting the bank read signal according to the first bank select signal and its inverted signal; and

a second transfer gate for outputting the bank write signal according to the first bank select signal and its inverted signal,

wherein the first and second transfer gates reciprocally operate.

7. The flash memory device as claimed in claim 1, wherein the third switching means comprises:

a first transfer gate for outputting the bank read signal according to the
5 first bank select signal and its inverted signal; and

a second transfer gate for outputting the bank write signal according to the first bank select signal and its inverted signal,

wherein the first and second transfer gates reciprocally operate.

ABSTRACT

Disclosed is a flash memory device. A boot location select signal for selecting location of a boot region is generated by coding it in a CFI block, generated depending on the state of the OTP cell in the protection block, or generated by applying the power supply voltage or the ground voltage as a metal option. The bank select circuit needs not be modified even though location of the boot region is changed. It is thus possible to shorten development time, simplify a verification work and reduce the size of a chip.

FIG. 1A

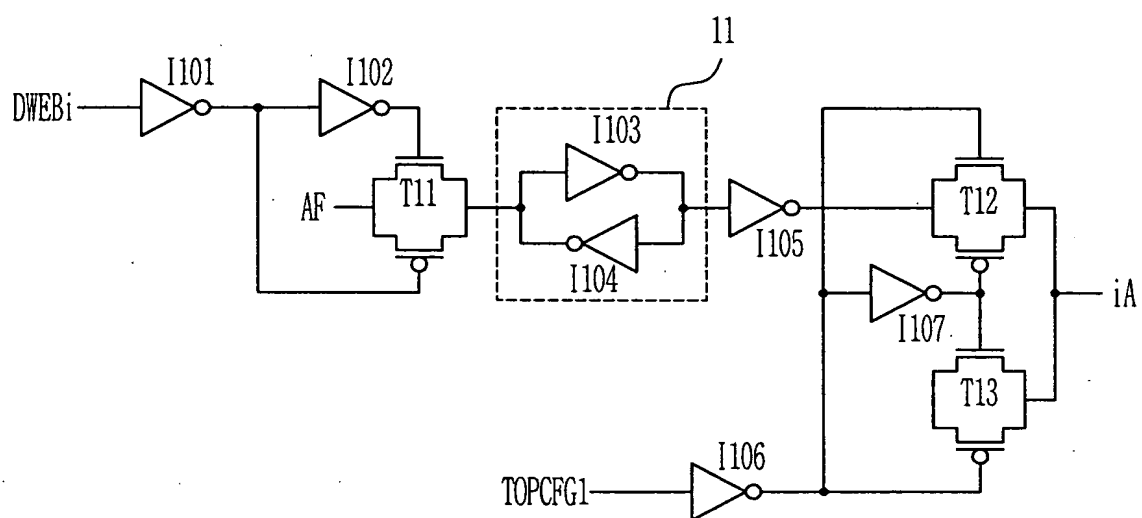


FIG. 1B

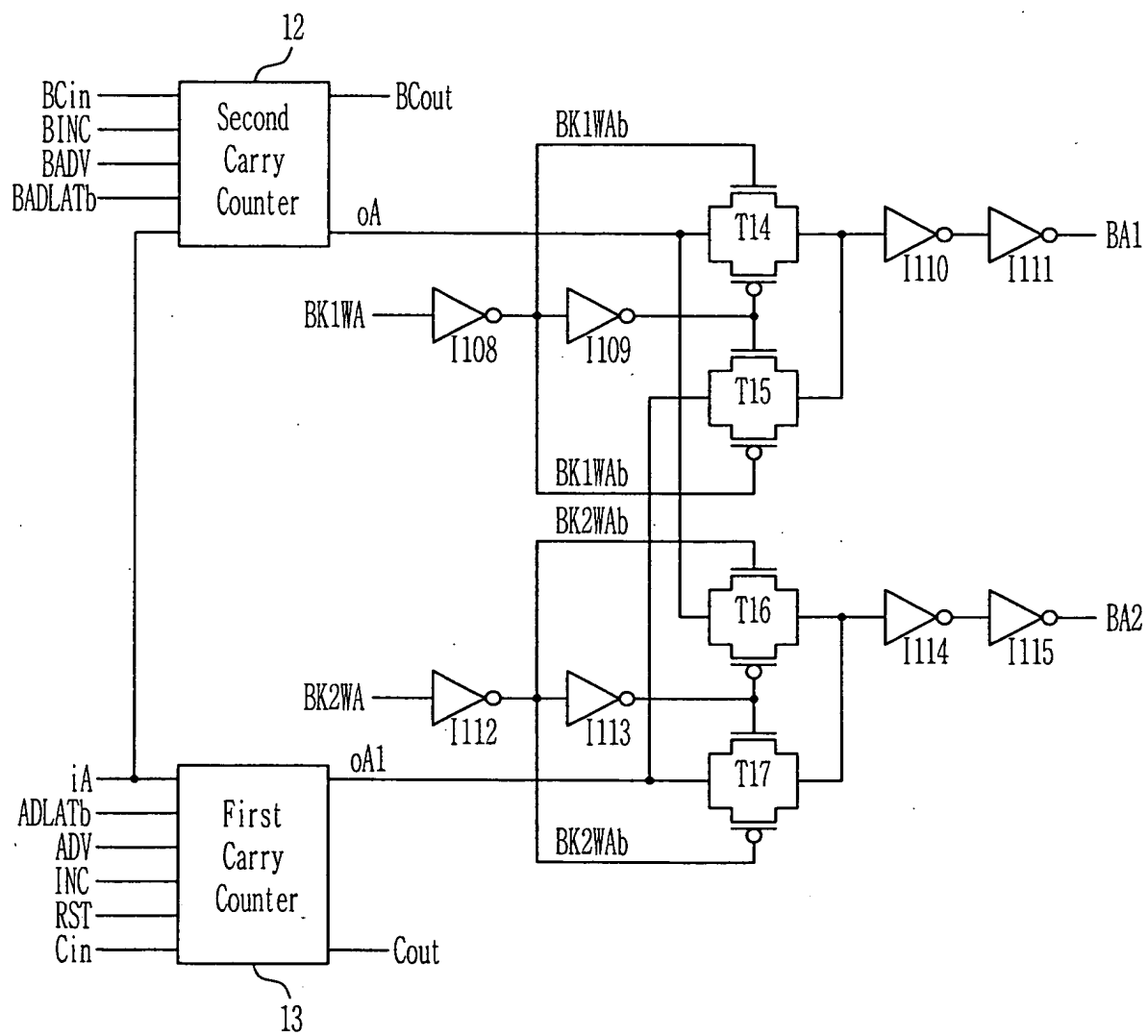


FIG. 2

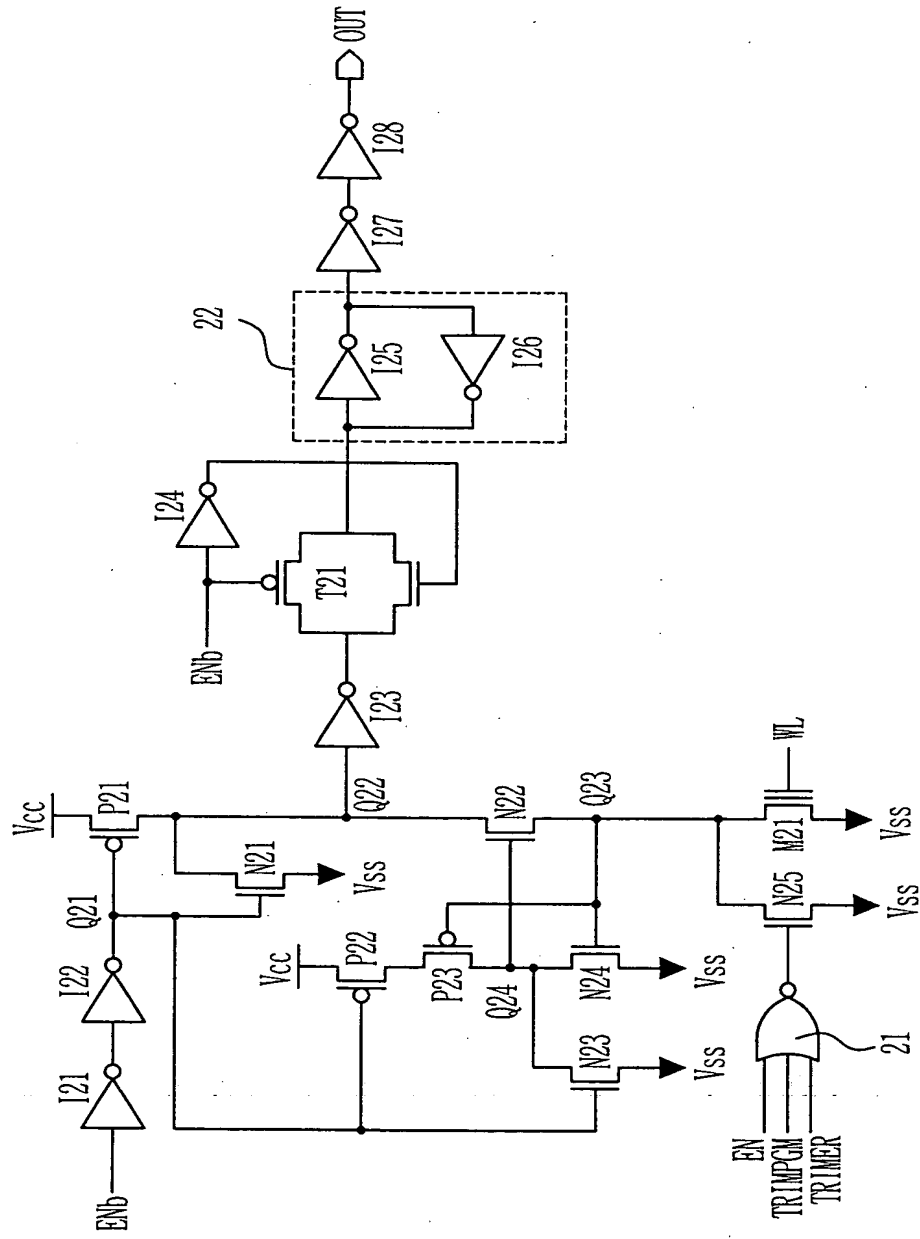


FIG. 3

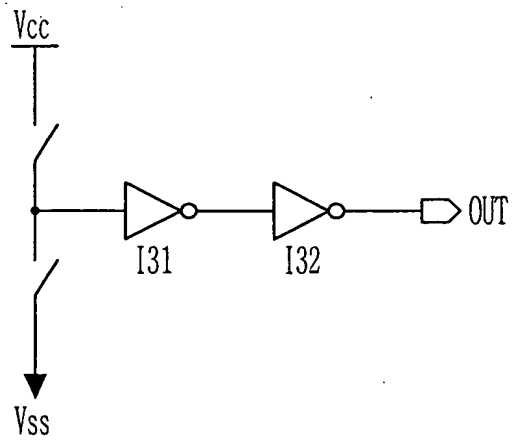
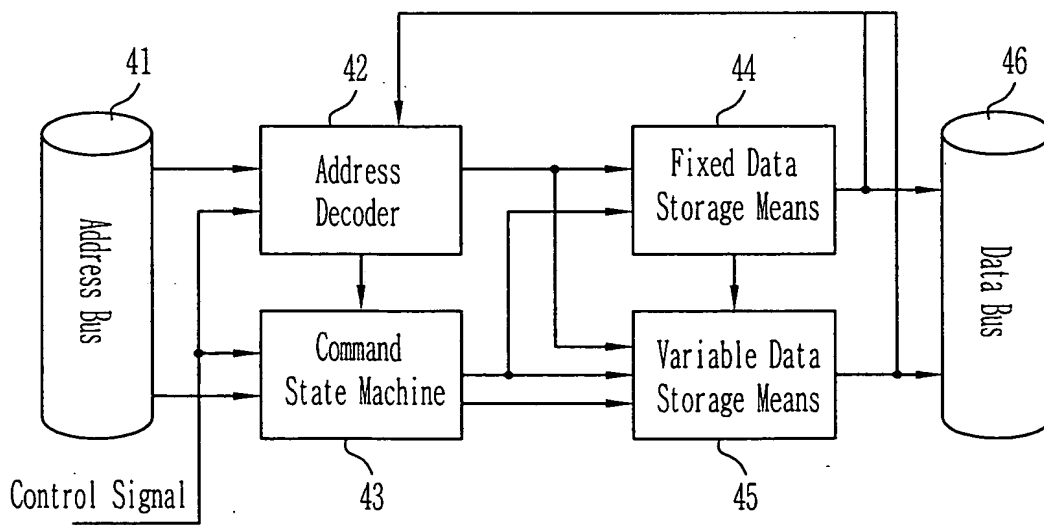


FIG. 4



ALL PATENTS, INCLUDING DESIGN
FOR APPLICATION BASED ON PCT; PARIS CONVENTION;
NON PRIORITY; OR PROVISIONAL APPLICATIONS

DECLARATION
AND POWER OF ATTORNEY
U.S.A.

FOR ATTORNEYS' USE ONLY

ATTORNEYS' DOCKET NO.

P68942050

As a below named inventor, I declare that my residence, post office address and citizenship are stated below next to my name, the information given herein is true, that I believe that I am the original, first and sole inventor (if only one name is listed at 201 below), or an original, first and joint inventor (if plural inventors are named below at 201-203, or on additional sheets attached hereto) of the subject matter which is claimed and for which patent is sought on the invention entitled:

FLASH MEMORY DEVICE

which is described and claimed in:

☒ the attached specification

☐ PCT International Application No.

☐ the specification in application Serial No.

filed

filed

(if applicable) and amended on

I hereby state that I have reviewed and understand the contents of the above-identified specification, including the claims, as amended by any amendment referred to above. I acknowledge the duty to disclose information which is material to patentability as defined in Title 37, Code of Federal Regulations, §1.56.

I hereby claim foreign priority benefits under Title 35, United States Code, §119 (a)-(d) of any foreign application(s) for patent or inventor's certificate listed below and have also identified below any foreign application for patent or inventor's certificate having a filing date before that of the application on which priority is claimed:

2002-72240

(Number)

Republic of Korea

(Country)

20/11/2002

(Day/Month/Year Filed)

Priority Claimed

☒ Yes

☐ No

(Number)

(Country)

(Day/Month/Year Filed)

☐ Yes

☐ No

(Number)

(Country)

(Day/Month/Year Filed)

☐ Yes

☐ No

I hereby claim the benefit under Title 35, United States Code, §119(e) of any United States provisional application(s) listed below:

Application No.

Filing Date

Application No.

Filing Date

I hereby claim the benefit under Title 35, United States Code, §120 of any United States application(s) listed below and, insofar as the subject matter of each of the claims of this application is not disclosed in the prior United States application in the manner provided by the first paragraph of Title 35, United States Code, §112, I acknowledge the duty to disclose information which is

(Application Serial No.)

(Filing Date)

(Status: patented, pending, abandoned)

POWER OF ATTORNEY: As a named inventor, I hereby appoint the following attorneys (Registration No.) to prosecute this application, receive and act on instructions from my agent, and transact all business in the Patent and Trademark Office connected therewith. HARVEY B. JACOBSON, JR. (20,851); JOHN CLARKE HOLMAN (22,769); MARVIN R. STERN (20,640); ALLEN S. MELSER (27,215); MICHAEL R. SLOBASKY (26,421); JONATHAN L. SCHERER (29,851); IRWIN M. AISENBERG (19,007); WILLIAM E. PLAYER (31,409); YOON S. HAM (45,307) and NATHANIEL A. HUMPHRIES (22,772)

SEND CORRESPONDENCE TO: CUSTOMER NO. 00138

Or

JACOBSON HOLMAN
PROFESSIONAL LIMITED LIABILITY COMPANY
400 SEVENTH STREET, N.W.
WASHINGTON, D.C. 20004

DIRECT TELEPHONE CALLS TO:

(please use Attorney's Docket No.) (202) 638-6666

JACOBSON HOLMAN
PROFESSIONAL LIMITED LIABILITY COMPANY

*Inventor(s) name must include at least one unabbreviated first or middle name.

	FULL NAME * OF INVENTOR	FAMILY NAME	GIVEN NAME	MIDDLE NAME
201	RESIDENCE & CITIZENSHIP	CITY	STATE OR FOREIGN COUNTRY	COUNTRY OF CITIZENSHIP
	POST OFFICE ADDRESS	CITY	STATE OR COUNTRY	ZIP CODE
202	RESIDENCE & CITIZENSHIP	CITY	STATE OR FOREIGN COUNTRY	COUNTRY OF CITIZENSHIP
	POST OFFICE ADDRESS	CITY	STATE OR COUNTRY	ZIP CODE
203	RESIDENCE & CITIZENSHIP	CITY	STATE OR FOREIGN COUNTRY	COUNTRY OF CITIZENSHIP
	POST OFFICE ADDRESS	CITY	STATE OR COUNTRY	ZIP CODE

I further declare that all statements made herein of my own knowledge are true and that all statements made on information and belief are believed to be true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment or both, under section 1001 of Title 18 of the United States Code; and that such willful false statements may jeopardize the validity of the application or any patent issuing thereon.

SIGNATURE OF INVENTOR 201*	SIGNATURE OF INVENTOR 202*	SIGNATURE OF INVENTOR 203*
<i>Kang</i>		
DATE: May 15, 2003	DATE:	DATE:

Additional inventors are named on separately numbered sheets attached hereto.

Form PTO-1595

RECORDATION FORM COVER SHEET

U.S. DEPARTMENT OF COMMERCE

(Rev. 03/01)

PATENTS ONLY

U.S. PATENT AND TRADEMARK OFFICE

To the honorable Commissioner of Patents and Trademarks: Please record the attached original document or copy thereof:

1. Name of Conveying Party(ies):

KANG, HYEOK

2. Name and Address of Receiving Party(ies):

Name: Hynix Semiconductor Inc.

Street Address: San 136-1, Ami-Ri, Bubal-Uep

Street Address:

City: Ichon-Shi, Kyungki-Do

State/Country: Korea

Postal Code: 467-860

Additional name(s) of conveying party(ies) attached? ☐ Yes ☒ NoAdditional name(s) and addresses attached? ☐ Yes ☒ No

3. Nature of Conveyance:

☒ Assignment☐ Change of Name☐ Security Agreement☐ Other:☐ Merger

Execution Date: 05152003

4. Application Number(s) or Patent Number(s):

☒ Assignment is being filed together with new application and the first execution date of application is : 06272003☐ Application has been filed already and the application filing date is:

A. Patent Application Number(s):

B. Issued Patent Number(s):

Additional numbers attached? ☐ Yes ☒ No

5. Name and address of party to whom correspondence concerning this matter should be mailed:

CUSTOMER NUMBER 00136 -or-

JACOBSON HOLMAN PLLC

400 Seventh Street, N.W.

Washington, D.C. 20004-2218

Tel. 202-638-6666

Attorney Docket Number: P68942US0

6. Total number of applications and patents involved: 1

7. Total Fee (37 CFR 3.41): \$ 40.00

☒ Enclosed☒ Any deficiencies in enclosed fees are authorized to be charged to Deposit Account No. 06-1358.

DO NOT USE THIS SPACE

8. Statement and Signature:

To the best of my knowledge and belief, the foregoing information is true and correct and any attached copy is a true copy of the original document.

Yoon S. Ham/45,307



June 27, 2003

Name of Person Signing, Reg. No.

Signature

Date

Total number of pages including cover sheet, attachments, and documents:

-2-

UNITED STATES OF AMERICA - ASSIGNMENT

(1-5) Insert Name(s) of Inventor(s) (1) Hyeok KANG
 (2) _____
 (3) _____
 (4) _____
 (5) _____

In consideration of the sum of one dollar (\$1.00), and other good and valuable considerations paid to each of the undersigned, the receipt and sufficiency of which are hereby acknowledged, the undersigned hereby assigns, transfers and sets over to

(6) Insert Name of Assignee (6) Hynix Semiconductor Inc.
 (7) Insert Address of Assignee (7) of San 136-1, Ami-Ri, Bubal-Uep, Ichon-Shi, Kyungki-Do 467-860, Republic of Korea
 (8) Insert Legal Entity and State or Country (e.g., a corporation or citizen of Korea) (8) A(n) Corporation of Republic of Korea
 (hereinafter designated as the Assignee) the entire right, title and interest for the United States, its territories, dependencies and possessions, in the invention known as
 (9) Insert Identification of Invention, such as Title, Case Number or Foreign Application Number (9) FLASH MEMORY DEVICE

(10) Insert Date of signing of Application, or filing date and Serial No., if known (10) Said application having been executed/ filed on June 27, 2003 (and assigned Serial No. New Application)

1) The undersigned agree(s) to execute all papers necessary in connection with this application and any continuing or divisional and also to execute separate assignments in connection with such applications as the Assignee may deem necessary or expedient.

2) The undersigned agree(s) to execute all papers necessary in connection with any interference which may be declared concerning this or any continuing or divisional applications thereof and to cooperate with the Assignee in every way possible in obtaining evidence and going forward with such interference.

3) The undersigned agree(s) to execute all papers and documents and perform any act which may be necessary in connection with claims provisions of the International Union for Protection of Industrial Property or similar agreements.

4) The undersigned agree(s) to perform all affirmative acts which may be necessary to obtain a grant of a valid United States patent to the

5) The undersigned hereby authorize(s) and request(s) the Commissioner of Patents and Trademarks to issue any and all Letters Patents United States resulting from this application or any continuing or divisional applications thereof to the said Assignee, as Assignee of the entire interest, and hereby covenants that he has (they have) full right to convey the entire interest herein assigned, and that he has (they have) not executed, and will not execute any agreement in conflict herewith.

6) Assignor hereby further assigns to Assignee all claims and causes of action for infringement of the patent rights assigned herein, right to sue for, and collect damages for, any and all acts of past and future infringement.

7) The undersigned hereby grant(s) the law firm of Jacobson Holman PLLC, 400 Seventh Street, N.W., Washington, D.C. 20004, the power to insert on this assignment any further identification which may be necessary or desirable in order to comply with the rules of the United States Patent and Trademark Office for recordation of this document.

In witness whereof, executed by the undersigned on the date(s) opposite the undersigned name(s).

Date	<u>May 15, 2003</u>	Name of Inventor	<u>Hyeok KANG</u>	<u>Kang</u> (SEAL)
			Typed name	Signature
Date		Name of Inventor		(SEAL)
			Typed name	signature
Date		Name of Inventor		(SEAL)
			Typed name	signature
Date		Name of Inventor		(SEAL)
			Typed name	signature
Date		Name of Inventor		(SEAL)
			Typed name	signature

This assignment should preferably be signed before a United States Consul if signed abroad, or a Notary Public if domestically signed. If not, then the execution by the inventor(s) should be witnessed by at least two witnesses who sign here:

☐ Additional inventor's names and signatures on a separate sheet.

Witness Jin Seok KIM Jin Seok Kim
 Witness Sang Ho HAN Sang Ho HAN

LAW OFFICES OF
JACOBSON HOLMAN
 PROFESSIONAL LIMITED LIABILITY COMPANY
 THE JENIFER BUILDING
 400 SEVENTH STREET, N.W.
 WASHINGTON, D.C. 20004

대한민국 특허청

KOREAN INTELLECTUAL
PROPERTY OFFICE

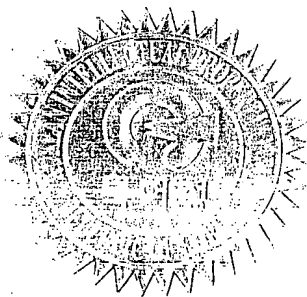
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2002-0072240
Application Number

출원 년 월 일 : 2002년 11월 20일
Date of Application NOV 20, 2002

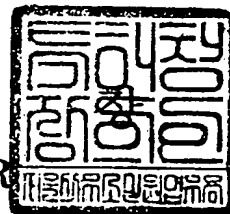
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 04 월 16 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2002.11.20
【발명의 명칭】	플래쉬 메모리 장치
【발명의 영문명칭】	Flash memory device
【출원인】	
【명칭】	(주)하이닉스 반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	신영무
【대리인코드】	9-1998-000265-6
【포괄위임등록번호】	1999-003525-1
【발명자】	
【성명의 국문표기】	강혁
【성명의 영문표기】	KANG, Hyeok
【주민등록번호】	670819-1002217
【우편번호】	143-815
【주소】	서울특별시 광진구 광장동 577 현대파크빌 1011-1603
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 신영무 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	4 면 4,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	7 항 333,000 원
【합계】	366,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】

【요약】

본 발명은 플래쉬 메모리 장치에 관한 것으로, 부트 영역의 위치를 선택하는 부트 영역 선택 신호를 CFI 블록에서 코딩되거나 프로텍션 블록에서 OTP 셀의 상태에 따라 생성되거나 메탈 옵션으로 전원 전압이나 접지 전압을 인가하여 생성함으로써 부트 영역의 위치가 변경되더라도 뱅크 선택 회로를 수정할 필요가 없기 때문에 개발 시간을 단축할 수 있고 검증 작업을 간편하게 할 수 있으며, 칩 사이즈를 줄일 수 있는 플래쉬 메모리 장치에 관한 것이다.

【대표도】

도 1a

【색인어】

플래쉬 메모리 장치, 부트 영역, 선택 신호, CFI, OTP 셀, 메탈 옵션

【명세서】

【발명의 명칭】

플래쉬 메모리 장치{Flash memory device}

【도면의 간단한 설명】

도 1은 본 발명에 따른 플래쉬 메모리 장치의 बैं크 선택 회로도.

도 2는 본 발명의 제 1 실시 예에 따른 부트 영역 선택 신호의 생성 회로도.

도 3은 본 발명의 제 2 실시 예에 따른 부트 영역 선택 신호의 생성 회로도.

도 4는 본 발명의 제 3 실시 예에 따른 부트 영역 선택 신호의 생성 회로도.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<5> 본 발명은 플래쉬 메모리 장치에 관한 것으로, 특히 설계가 완료된 이후에 부트 영역의 위치가 변경되더라도 बैं크 선택 회로를 변경하지 않아도 되는 플래쉬 메모리 장치에 관한 것이다.

<6> 비휘발성 메모리 장치인 플래쉬 메모리 장치는 이를 구성하는 메모리 셀 어레이가 부트 영역과 사용자 영역으로 구별된다. 여기서, 부트 영역은 시스템 정보를 저장하는

영역으로 사용자에게 의한 자유로운 재기록이 금지되는 영역이고, 사용자 영역은 사용자에게 의한 자유로운 재기록이 허용되는 영역이다.

<7> 부트 영역에 저장된 데이터는 사용자가 소정의 동작 모드를 설정하는 것에 의해 실행할 수 있다. 이러한 부트 영역은 메모리 셀 어레이의 시작 부분 또는 끝 부분, 즉 메모리 셀 어레이의 상부(top) 또는 하부(bottom)에 위치하며, 어플리케이션이 요구하는 상황에 따라 그 위치가 결정된다. 따라서, 플래쉬 메모리 장치의 개발 및 설계자는 두가지 모두에 대한 제품을 고려해야 하며, 개발 완료 시점에서 시작 부분 또는 끝 부분을 결정하거나 각각의 제품으로 개발하여 이중의 회로 검증을 하게 되는 부담을 안게 마련이다. 또한, 부트 영역의 위치에 따라 뱅크를 선택하여 뱅크의 동작을 제어하기 위한 뱅크 선택 회로도 수정되어야 한다. 한편, 근래에는 부트 영역이 메모리 셀 어레이의 상부 또는 하부 어느 한쪽에만 위치하지 않고, 상부 및 하부 양단에 함께 위치하는 플래쉬 메모리 장치도 선보이고 있다.

<8> 따라서, 이러한 세가지 방식의 부트 영역의 관리 방법이 요구되고, 그에 따른 뱅크 선택 회로도 수정되어야 하기 때문에 플래쉬 메모리의 설계에 있어서도 각각에 대한 회로를 따로 구분해야 할 뿐만 아니라 회로 검증 시간의 증가와 칩 면적의 증가라는 문제점을 내포하게 된다.

【발명이 이루고자 하는 기술적 과제】

<9> 본 발명의 목적은 부트 영역의 위치를 변화시키는 부트 영역 선택 신호가 변화되더라도 뱅크 선택 회로를 수정하지 않아도 되는 플래쉬 메모리 장치를 제공하는데 있다.

- <10> 본 발명의 다른 목적은 부트 영역 선택 신호를 CFI 블록에 의해 코딩하여 생성함으로써 부트 영역의 위치가 변화되더라도 뱅크 선택 회로를 수정하지 않아도 되는 플래쉬 메모리 장치를 제공하는데 있다.
- <11> 본 발명의 또다른 목적은 부트 영역 선택 신호를 프로텍션 블록에서 OTP(One Time Program) 셀의 상태에 따라 생성함으로써 부트 영역의 위치가 변화되더라도 뱅크 선택 회로를 수정하지 않아도 되는 플래쉬 메모리 장치를 제공하는데 있다.
- <12> 본 발명의 또다른 목적은 부트 영역 선택 신호를 메탈 옵션(metal option)으로 전원 전압이나 접지 전압을 인가하여 생성함으로써 부트 영역의 위치가 변화되더라도 뱅크 선택 회로를 수정하지 않아도 되는 플래쉬 메모리 장치를 제공하는데 있다.

【발명의 구성 및 작용】

- <13> 본 발명에 따른 플래쉬 메모리 장치는 어드레스 신호를 래치하기 위한 래치 수단과, 부트 영역 선택 신호 및 그 반전 신호에 따라 상기 래치 수단의 출력 신호 또는 그 반전 신호를 선택적으로 출력하기 위한 제 1 스위칭 수단과, 상기 제 1 스위칭 수단의 출력 신호 및 제 1 캐리 입력 신호, 그리고 다수의 제어 신호에 따라 뱅크 읽기 신호 및 제 1 캐리 출력 신호를 출력하는 제 1 캐리 카운터과, 상기 제 1 스위칭 수단의 출력 신호 및 제 2 캐리 입력 신호, 그리고 다수의 제어 신호에 따라 뱅크 쓰기 신호 및 제 2 캐리 출력 신호를 출력하는 제 2 캐리 카운터과, 제 1 뱅크 선택 신호 및 그 반전 신호에 따라 상기 뱅크 읽기 신호 또는 상기 뱅크 쓰기 신호를 선택적으로 출력하여 제 1 뱅크의 동작을 제어하기 위한 제 2 스위칭 수단과, 제 2 뱅크 선택 신호 및 그 반전 신호

에 따라 상기 뱅크 읽기 신호 또는 상기 뱅크 쓰기 신호를 선택적으로 출력하여 제 2 뱅크의 동작을 제어하기 위한 제 3 스위칭 수단을 포함하여 이루어진 것을 특징으로 한다.

<14> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시 예를 설명함으로써 본 발명을 상세히 설명한다. 그러나, 본 발명은 이하에서 개시되는 실시 예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시 예는 본 발명의 개시가 완전하도록 하며, 이 기술 분야에서 통상의 지식을 가진자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 또한, 도면상에서 동일 부호는 동일 요소를 지칭한다.

<15> 도 1은 본 발명의 일 실시 예에 따른 부트 영역의 위치에 관계없이 구동되는 뱅크 선택 회로도로서, 그 구성을 설명하면 다음과 같다.

<16> 제 1 인버터(I101)는 제어 신호(DWEBi)를 반전시키고, 제 2 인버터(I102)는 제 1 인버터(I101)의 출력 신호를 반전시키는데, 제어 신호(DWEBi)는 워드라인 인에이블 패드를 통해 입력된 신호가 버퍼 및 인버터를 통해 입력되는 신호이다. 제 1 전달 게이트(T11)는 제 1 인버터(I101)의 출력 신호와 제 2 인버터(I102)의 출력 신호에 따라 구동되어 버퍼를 통해 입력되는 어드레스 신호(AF)를 전달한다. 제 3 인버터(I103) 및 제 4 인버터(I104)로 이루어진 래치 수단(11)은 제 1 전달 게이트(T11)를 통해 전달된 어드레스 신호(AF)를 래치시킨다. 제 5 인버터(I105)는 래치 수단(11)의 출력 신호를 반전시킨다.

<17> 제 6 인버터(I106)는 부트 영역 선택 신호(TOPCFG1)를 반전시키고, 제 7 인버터(I107)는 제 6 인버터(I106)의 출력 신호를 반전시킨다. 여기서, 부트 영역 선택 신호

(TOPCFG1)는 공통 플래쉬 인터페이스(Common Flash Interface: 이하, "CFI"라 함) 블록에서 코딩되거나 프로텍션 블록에서 OTP(One Time Program) 셀의 상태에 따라 생성되거나 메탈 옵션(metal option)으로 전원 전압이나 접지 전압을 인가하여 생성되어 부트 영역의 위치를 선택하는 신호이다. 제 2 전달 게이트(T12)는 제 6 및 제 7 인버터(I106 및 I107)의 출력 신호에 따라 구동되어 래치 수단(11)의 출력 신호를 반전시키는 제 5 인버터(I105)의 출력 신호를 전달한다. 제 3 전달 게이트(T13)는 제 6 및 제 7 인버터(I106 및 I107)의 출력 신호에 따라 구동되어 래치 수단(11)의 출력 신호를 전달한다. 즉, 제 2 및 제 3 전달 게이트(T12 및 T13)는 제 6 및 제 7 인버터(I106 및 I107)의 출력에 따라 상보적으로 동작하여 제 5 인버터(I105)의 출력 신호 또는 래치 수단(11)의 출력 신호를 출력한다.

<18> 제 1 캐리 카운터(12)는 제 2 전달 게이트(T12) 또는 제 3 전달 게이트(T13)의 출력 신호(iA)와 제 1 캐리 입력 신호(BCin) 및 다수의 제어 신호(BADLATb, BADV, BINC)을 입력하여 뱅크 읽기 신호(oA) 및 제 1 캐리 출력 신호(BCout)를 출력한다. 한편, 제 2 캐리 카운터(13)는 제 2 전달 게이트(T12) 또는 제 3 전달 게이트(T13)의 출력 신호(iA)와 제 2 캐리 입력 신호(Cin) 및 다수의 제어 신호(ADLATb, ADV, INC, RST)을 입력하여 뱅크 쓰기 신호(oA1) 및 제 2 캐리 출력 신호(Cout)를 출력한다.

<19> 제 8 인버터(I108)는 제 1 뱅크 선택 신호(BK1WA)를 반전시키고, 제 9 인버터(I109)는 제 8 인버터(I108)의 출력 신호를 반전시킨다. 제 4 전달 게이트(T14)는 제 1 뱅크 선택 신호(BK1WA) 및 그 반전 신호(BW1WAb)에 의해 구동되어 뱅크 읽기 신호(oA)를 전달한다. 제 5 전달 게이트(T15)는 제 1 뱅크 선택 신호(BK1WA) 및 그 반전 신호(BW1WAb)에 의해 구동되어 뱅크 쓰기 신호(oA1)을 전달한다. 즉, 제 4 및 제 5 전달 게

이트(T14 및 T15)는 제 1 뱅크 선택 신호(BK1WA) 및 그 반전 신호(BW1WAb)에 의해 상보적으로 구동되어 뱅크 읽기 신호(oA) 또는 뱅크 쓰기 신호(oA1)을 전달한다. 제 4 전달 게이트(T14) 또는 제 5 전달 게이트(T15)를 통해 전달된 뱅크 읽기 신호(oA) 또는 뱅크 쓰기 신호(oA1)는 제 10 및 제 11 인버터(I110 및 I111)를 통해 제 1 뱅크(BA1)로 입력되어 제 1 뱅크(BA1)의 읽기 또는 쓰기 동작을 제어한다.

<20> 제 12 인버터(I112)는 제 2 뱅크 선택 신호(BK2WA)를 반전시키고, 제 13 인버터(I113)는 제 12 인버터(I112)의 출력 신호를 반전시킨다. 제 6 전달 게이트(T16)는 제 2 뱅크 선택 신호(BK2WA) 및 그 반전 신호(BK2WAb)에 의해 구동되어 뱅크 읽기 신호(oA)를 전달한다. 제 7 전달 게이트(T17)는 제 2 뱅크 선택 신호(BK2WA) 및 그 반전 신호(BK2WAb)에 의해 구동되어 뱅크 쓰기 신호(oA1)를 전달한다. 즉, 제 6 및 제 7 전달 게이트(T16 및 T17)는 제 2 뱅크 쓰기 신호(BK2WA) 및 그 반전 신호(BK2WAb)에 의해 상보적으로 구동되어 뱅크 읽기 신호(oA) 또는 뱅크 쓰기 신호(oA1)을 전달한다. 제 6 전달 게이트(T16) 또는 제 7 전달 게이트(T17)를 통해 전달된 뱅크 읽기 신호(oA) 또는 뱅크 쓰기 신호(oA1)는 제 14 및 제 15 인버터(I114 및 I115)를 통해 제 2 뱅크(BA2)로 입력되어 제 2 뱅크(BA2)의 읽기 또는 쓰기 동작을 제어한다.

<21> 상기와 같이 구성되는 본 발명에 따른 부트 영역의 위치에 관계없이 구동되는 뱅크 선택 회로의 구동 방법을 설명하면 다음과 같다.

<22> 하이 상태의 제어 신호(DWEBi)가 제 1 인버터(I101)를 통해 로우 상태로 반전되고, 제 2 인버터(I102)를 통해 하이 상태로 재반전된다. 따라서, 로우 상태의 제 1 인버터(I101)의 출력 신호 및 하이 상태의 제 2 인버터(I102)의 출력 신호에 따라 제 1 전달

게이트(T11)가 턴온되어 어드레스 신호(AF)가 전달된다. 제 1 전달 게이트(T11)를 통해 전달된 어드레스 신호(AF)는 제 3 및 제 4 인버터(I103 및 I104)로 구성된 래치 수단(11)에 래치된다.

<23> 래치 수단(11)에 래치된 신호는 제 5 인버터(I105)에 의해 반전되어 제 2 전달 게이트(T12)를 통해 전달되거나, 제 3 전달 게이트(T13)를 통해 전달되는데, 제 2 및 제 3 전달 게이트(T12 및 T13)는 부트 영역 선택 신호(TOPCFI1)의 상태에 따라 상보적으로 동작된다. 예를들어 메모리 셀 어레이 상부의 부트 영역을 선택하기 위해 부트 영역 선택 신호(TOPCFG1)가 하이 상태로 인가되면 제 6 인버터(I106)에 의해 로우 상태로 반전되고, 제 7 인버터(I107)에 의해 하이 상태로 재반전된다. 이에 의해 제 2 전달 게이트(T12)는 턴오프되고, 제 3 전달 게이트(T13)는 턴온되어 래치 수단(11)에 래치된 신호는 제 3 전달 게이트(T13)를 통해 전달된다(iA). 반면, 메모리 셀 어레이 하부의 부트 영역을 선택하기 위해 부트 영역 선택 신호(TOPCFG1)가 로우 상태로 인가되면 제 6 인버터(I106)에 의해 하이 상태로 반전되고, 제 7 인버터(I107)에 의해 로우 상태로 재반전된다. 이에 의해 제 2 전달 게이트(T12)는 턴온되고, 제 3 전달 게이트(T13)는 턴오프되어 래치 수단(11)에 래치된 신호는 제 5 인버터(I105)에 의해 반전되어 제 2 전달 게이트(T12)를 통해 전달된다(iA). 따라서, 어드레스 신호(AF)가 하이 상태일 경우 제 2 전달 게이트(T12)를 통해 전달되는 신호(iA)는 하이 상태를 유지하며, 제 3 전달 게이트(T13)를 통해 전달되는 신호(iA)는 로우 상태를 유지한다. 반면, 어드레스 신호(AF)가 로우 상태일 경우 제 2 전달 게이트(T12)를 통해 전달되는 신호(iA)는 로우 상태를 유지하며, 제 3 전달 게이트(T13)를 통해 전달되는 신호(iA)는 하이 상태를 유지한다.

<24> 제 1 캐리 카운터(12)는 제 2 또는 제 3 전달 게이트(T12 또는 T13)를 통해 전달된 신호(iA)와 다수의 제어 신호(ABDLATb, BADV, BINC) 및 제 1 캐리 입력 신호(BCin)에 따라 बैं크 읽기 신호(oA) 및 제 1 캐리 출력 신호(Cout)를 출력한다. 이때, बैं크 읽기 신호(oA)는 신호(iA)가 로우 상태를 유지하고 제 1 캐리 입력 신호(BCin)가 로우 상태를 유지할 때 로우 상태로 출력되고, 신호(iA)가 로우 상태를 유지하고 제 1 캐리 입력 신호(BCin)가 하이 상태를 유지할 때 로우 상태로 출력된다. 또한, बैं크 읽기 신호(oA)는 신호(iA)가 하이 상태를 유지하고 제 1 캐리 입력 신호(BCin)가 로우 상태를 유지할 때 하이 상태로 출력되고, 신호(iA)가 하이 상태를 유지하고 제 1 캐리 입력 신호(BCin)가 하이 상태를 유지할 때 로우 상태로 출력된다.

<25> 한편, 제 2 캐리 카운터(13)는 제 2 또는 제 3 전달 게이트(T12 또는 T13)를 통해 전달된 신호(iA)와 다수의 제어 신호(ADLATb, ADV, INC, RST) 및 제 2 캐리 입력 신호(Cin)에 따라 बैं크 쓰기 신호(oA1) 및 제 2 캐리 출력 신호(Cout)를 출력한다. 이때, बैं크 쓰기 신호(oA1)는 신호(iA)가 로우 상태를 유지하고 제 2 캐리 입력 신호(Cin)가 로우 상태를 유지할 때 로우 상태로 출력되고, 신호(iA)가 로우 상태를 유지하고 제 2 캐리 입력 신호(Cin)가 하이 상태를 유지할 때 로우 상태로 출력된다. 또한, बैं크 쓰기 신호(oA1)는 신호(iA)가 하이 상태를 유지하고 제 2 캐리 입력 신호(Cin)가 로우 상태를 유지할 때 하이 상태로 출력되고, 신호(iA)가 하이 상태를 유지하고 제 2 캐리 입력 신호(Cin)가 하이 상태를 유지할 때 로우 상태로 출력된다.

<26> 제 1 बैं크 선택 신호(BK1WA)가 하이 상태로 인가되고, 제 2 बैं크 선택 신호(BK2WA)가 로우 상태로 인가되면, 제 1 बैं크 선택 신호(BK1WA) 및 그 반전 신호(BK1WAb)에 의해 제 4 전달 게이트(T14)는 턴오프되고, 제 5 전달 게이트(T15)는 턴온되어 बैं크 쓰기 신

호(oA1)가 제 1 뱅크(BA1)에 인가되어 제 1 뱅크(BA1)의 쓰기 동작을 제어한다. 그리고, 제 2 뱅크 선택 신호(BK2WA) 및 그 반전 신호(BK2WAb)에 의해 제 6 전달 게이트(T16)는 턴온되고, 제 7 전달 게이트(T17)는 턴오프되어 뱅크 읽기 신호(oA)가 제 2 뱅크(BA2)에 인가되어 제 2 뱅크(BA2)의 읽기 동작을 제어한다.

<27> 한편, 제 1 뱅크 선택 신호(BK1WA)가 로우 상태로 인가되고, 제 2 뱅크 선택 신호(BK2WA)가 하이 상태로 인가되면, 제 1 뱅크 선택 신호(BK1WA) 및 그 반전 신호(BK1WAb)에 의해 제 4 전달 게이트(T14)는 턴온되고, 제 5 전달 게이트(T15)는 턴오프되어 뱅크 읽기 신호(oA)가 제 1 뱅크(BA1)에 인가되어 제 1 뱅크(BA1)의 읽기 동작을 제어한다. 그리고, 제 2 뱅크 선택 신호(BK2WA) 및 그 반전 신호(BK2WAb)에 의해 제 6 전달 게이트(T16)는 턴오프되고, 제 7 전달 게이트(T17)는 턴온되어 뱅크 쓰기 신호(oA1)가 제 2 뱅크(BA2)에 인가되어 제 2 뱅크(BA2)의 쓰기 동작을 제어한다.

<28> 상기한 바와 같이 본 발명에 따른 플래쉬 메모리 장치의 뱅크 선택 회로는 부트 영역 선택 신호에 관계없이 구동되어 뱅크의 읽기 및 쓰기를 제어한다. 즉, 본 발명에 따른 플래쉬 메모리 장치는 설계가 완료된 이후에 부트 영역의 위치가 변경된다고 뱅크 선택 회로를 변경하지 않아도 된다.

<29> 도 2는 본 발명의 실시 예에 따른 부트 위치 선택 신호를 생성하기 위한 회로도로서, 프로텍션 블럭에 있는 OTP 셀의 상태를 센싱하여 그 상태에 따라 부트 위치를 선택하는데, 그 구성을 설명하면 다음과 같다.

제 1 및 제 2 인버터(I21 및 I22)는 인에이블 바 신호(ENb)를 반전 및 재반전시켜 제 1 노드(Q21)의 전위를 결정한다. 전원 단자(Vcc)와 제 2 노드(Q22) 사이에 접속된 제 1 PMOS 트랜지스터(P21)는 제 1 노드(Q21)의 전위에 따라 구동된다. 제 2 노드(Q22)와 접지 단자(Vss) 사이에 접속된 제 1 NMOS 트랜지스터(N21)는 제 1 노드(Q21)의 전위에 따라 구동된다. 제 2 노드(Q22)와 제 3 노드(Q23) 사이에 접속된 제 2 NMOS 트랜지스터(N22)는 제 4 노드(Q24)의 전위에 따라 구동된다. 제 3 노드(Q23)와 접지 단자(Vss) 사이에 메모리 셀(M21)이 접속된다. 여기서, 메모리 셀(M21)은 프로텍션 블록에 있는 OTP 셀로서, 이 셀의 상태에 따라 부트의 위치가 선택된다. 예를들어, 메모리 셀(M21)을 프로그램할 경우 부트의 위치는 메모리 셀 어레이의 상부가 되고, 메모리 셀(M21)을 소거할 경우 부트의 위치는 메모리 셀 어레이의 하부가 된다.

<31> 전원 단자(Vcc)와 제 4 노드(Q24) 사이에 제 2 PMOS 트랜지스터(P22)와 제 3 PMOS 트랜지스터(P23)가 직렬 접속되는데, 제 2 PMOS 트랜지스터(P22)는 제 1 노드(Q21)의 전위에 따라 구동되고, 제 3 PMOS 트랜지스터(P23)는 제 3 노드(Q23)의 전위에 따라 구동된다. 제 4 노드(Q24)와 접지 단자(Vss) 사이에 제 3 NMOS 트랜지스터(N23)와 제 4 NMOS 트랜지스터(N24)가 병렬 접속되는데, 제 3 NMOS 트랜지스터(N23)는 제 1 노드(Q21)의 전위에 따라 구동되고, 제 4 NMOS 트랜지스터(N24)는 제 3 노드(Q23)의 전위에 따라 구동된다. 이들 제 2 및 제 3 PMOS 트랜지스터(P22 및 P23), 제 3 및 제 4 NMOS 트랜지스터(N23 및 N24)는 제 3 노드(Q23)의 전위를 일정하게 유지시키는 자기 레귤레이터(self regulator)로서 동작한다.

출력 일자: 2003/4/17

제 3 노드(Q23)와 접지 단자(Vss) 사이에 NOR 게이트(21)의 출력 신호에 따라 구동되는 제 5 NMOS 트랜지스터(N25)가 접속되는데, NOR 게이트(21)는 인에이블 신호(EN), 프로그램 신호(TRIMPGM) 및 소거 신호(TRIMER)를 논리 조합한다.

<33> 제 2 노드(Q22)의 전위는 제 3 인버터(I23)에 의해 반전되고, 제 3 인버터(I23)의 출력 신호는 전달 게이트(T21)를 통해 전달되는데, 전달 게이트(T21)는 인에이블 바 신호(ENb)와 인에이블 바 신호(ENb)를 반전시키는 제 2 인버터(I22)에 의해 구동된다. 전달 게이트(T21)를 통해 전달된 신호는 제 5 및 제 6 인버터(I25 및 I26)로 구성된 래치 수단(21)에 의해 래치된다. 래치 수단(21)의 출력 신호는 제 7 및 제 8 인버터(I27 및 I28)를 통해 출력 단자(OUT)로 출력된다.

<34> 상기와 같이 구성되는 본 발명의 일 실시 예에 따른 부트 위치 선택 신호를 생성하기 위한 회로는 일반적인 센싱 회로와 동일하게 동작하는데, 그 동작을 개략적으로 설명하면 다음과 같다.

<35> 프로텍션 블럭의 OTP 셀이 프로그램 상태일 경우 제 2 노드(Q22)는 하이 상태를 유지하게 되고, 하이 상태를 유지하는 제 2 노드(Q22)의 전위는 제 3 인버터(I24)를 통해 로우 상태로 반전된다. 로우 상태를 유지하는 제 3 인버터(I23)의 출력 신호는 인에이블 바 신호(ENb)와 인에이블 바 신호(ENb)를 반전시키는 제 4 인버터(I24)의 출력 신호에 따라 구동되는 전달 게이트(T21)에 의해 전달된다. 전달 게이트(T21)를 통해 전달된 신호는 제 5 및 제 6 인버터(I25 및 I26)로 구성된 래치 수단(21)에 의해 래치되어 하이 상태의 신호를 출력한다. 래치 수단(21)에 래치된 신호는 제 7 및 제 8 인버터(I27 및 I28)를 통해 하이 상태의 전위를 유지하며 출력 단자(OUT)로 출력된다.

<36>

한편, 프로텍션 블럭의 OTP 셀이 소거 상태일 경우 제 2 노드(Q22)는 로우 상태를 유지하게 되고, 로우 상태를 유지하는 제 2 노드(Q22)의 전위는 제 3 인버터(I23)를 통해 하이 상태로 반전된다. 하이 상태를 유지하는 제 3 인버터(I23)의 출력 신호는 인에이블 바 신호(ENb)와 인에이블 바 신호(ENb)를 반전시키는 제 4 인버터(I24)의 출력 신호에 따라 구동되는 전달 게이트(T21)에 의해 전달된다. 전달 게이트(T21)를 통해 전달된 신호는 제 5 및 제 6 인버터(I25 및 I26)로 구성된 래치 수단(21)에 의해 래치되어 로우 상태의 신호를 출력한다. 래치 수단(21)에 래치된 신호는 제 7 및 제 8 인버터(I27 및 I28)를 통해 로우 상태의 전위를 유지하며 출력 단자(OUT)로 출력된다.

<37>

상술한 바와 같이 본 발명의 일 실시 예에 따른 부트 위치 선택 신호를 생성하는 회로는 프로텍션 블럭의 OTP 셀이 프로그램 상태일 경우 하이 상태로 출력되어 메모리 셀 어레이의 상부를 부트 위치로 선택하고, OTP 셀이 소거 상태일 경우 로우 상태로 출력되어 메모리 셀 어레이의 하부를 부트 위치로 선택한다.

<38>

도 3은 본 발명의 다른 실시 예에 따른 부트 위치 선택 신호를 생성하기 위한 회로로서, 출력 단자(OUT)에 전원 단자(Vcc) 또는 접지 단자(Vss)를 선택적으로 접속하여 출력 단자의 전위를 결정함으로써 부트의 위치를 결정할 수 있다. 즉, 전원 단자(Vcc)를 연결하면 전원 전압(Vcc)이 제 7 및 제 8 인버터(I27 및 I28)를 통해 출력 단자(OUT)로 출력되고, 접지 단자(Vss)를 연결하면 접지 전압(Vss)이 제 7 및 제 8 인버터(I27 및 I28)를 통해 출력 단자(OUT)로 출력된다. 이때, 출력 단자(OUT)의 전위에 따라 부트의 위치가 선택되는데, 예를들어 전원 전압(Vcc)의 전위를 유지하면 부트의 위치는 메모리

셀 어레이의 상부가 되고, 접지 전압(Vss)의 전위를 유지하면 부트의 위치는 메모리 셀 어레이의 하부가 된다.

<39> 도 4는 본 발명의 또 다른 실시 예에 따른 부트 위치 선택 신호를 CFI 블록에서 코딩하여 생성하는 회로의 블록도로서, 그 구성을 설명하면 다음과 같다.

<40> 고정 데이터 저장 수단(44)은 변화 가능성이 적은 정보를 저장하기 위한 것으로, 예를들어 PLA와 같은 쓰기 및 지우기가 불가능한 저장 수단으로 구성된다. 가변 데이터 저장 수단(45)은 변화 가능성이 큰 정보를 저장하기 위한 것으로, 예를들어 메모리 셀과 같은 필요에 따라 쓰기 및 지우기가 가능한 저장 수단으로 구성된다. 이러한 고정 데이터 저장 수단(44) 또는 가변 데이터 저장 수단(45)에 부트 영역 선택 신호를 코딩하여 저장한다. 어드레스 디코더(42)는 어드레스 버스(41)를 통해 입력되는 어드레스 신호와 소정의 제어선을 통해 입력되는 제어 신호를 입력하고 디코딩하여 고정 데이터 저장 수단(44)과 가변 데이터 저장 수단(45)의 어드레스를 지정한다. 명령 상태 머신(command state machine)(43)은 어드레스 디코더(42)로부터 입력된 디코딩된 신호에 따라 고정 데이터 저장 수단(44) 및 가변 데이터 저장 수단(45)의 정보를 읽을 것인지, 가변 데이터 저장 수단(45)에 저장된 정보를 지우거나 새로운 정보로 대체할 것인지를 결정한다. 명령 상태 머신(43)에 따라 읽혀진 고정 데이터 저장 수단(44) 및 가변 데이터 저장 수단(45)에 저장된 정보는 데이터 버스(46)을 통해 출력된다.

<41> 상기와 같이 구성되는 본 발명의 또 다른 실시 예에 따른 부트 위치 선택 신호를 CFI 블록에서 코딩하여 생성하는 회로의 구동 방법을 설명하면 다음과 같다.

<42>

고정 데이터 저장 수단(44) 또는 가변 데이터 저장 수단(45)에 부트 영역 선택 신호를 코딩하여 저장한다. 어드레스 버스(41) 및 소정의 제어선을 통해 입력되는 시스템으로부터의 어드레스 신호와 제어 신호를 어드레스 디코더(42)에서 입력하고, 이들을 디코딩하여 고정 데이터 저장 수단(44) 및 가변 데이터 저장 수단(45)의 어드레스를 지정한다. 이와 동시에 명령 상태 머신(43)은 시스템으로부터의 제어 신호와 어드레스 디코더(42)로부터의 디코딩된 신호를 입력받아 지정된 어드레스에 해당하는 명령을 확인한다. 즉, 어드레스 디코더(42)로부터 입력된 디코딩된 신호가 가변 데이터 저장 수단(44) 및 고정 데이터 저장 수단(45)의 정보를 읽을 것인지, 고정 데이터 저장 수단(45)에 저장된 정보를 지우거나 새로운 정보로 대체할 것인지를 확인한다. 이러한 읽기, 쓰기 및 지우기 동작은 가변 데이터 저장 수단(44) 및 고정 데이터 저장 수단(45) 각각의 내부 구조에 따라 실시되고, 그에 따라 출력된 값, 즉 해당 코드가 데이터 버스(46)를 통해 출력된다. 그런데, 가변 데이터 저장 수단(45)에 저장된 정보를 지우거나 새로운 정보를 쓰는 동작은 코드가 아닌 동작 상태를 알리는 신호인 플래그(flag)가 데이터 버스(46)에 실려진다.

<43>

한편, 본 발명은 상술한 실시 예에서 상부 및 하부의 부트 영역의 예를 설명하였으나, 이에 국한되지 않고 상부 및 하부 양단에 함께 위치하는 플래쉬 메모리 장치에도 적용할 수 있다.

【발명의 효과】

<44>

상술한 바와 같이 본 발명에 의하면 부트 영역의 위치를 선택하는 부트 영역 선택 신호를 CFI 블록에서 코딩되거나 프로텍션 블록에서 OTP 셀의 상태에 따라 생성되거나

메탈 옵션으로 전원 전압이나 접지 전압을 인가하여 생성함으로써 부트 영역의 위치가 변경되더라도 뱅크 선택 회로를 수정할 필요가 없기 때문에 개발 시간을 단축할 수 있고 검증 작업을 간편하게 할 수 있으며, 칩 사이즈를 줄일 수 있다.

【특허청구범위】

【청구항 1】

어드레스 신호를 래치하기 위한 래치 수단;

부트 영역 선택 신호 및 그 반전 신호에 따라 상기 래치 수단의 출력 신호 또는 그 반전 신호를 선택적으로 출력하기 위한 제 1 스위칭 수단;

상기 제 1 스위칭 수단의 출력 신호 및 제 1 캐리 입력 신호, 그리고 다수의 제어 신호에 따라 뱅크 읽기 신호 및 제 1 캐리 출력 신호를 출력하는 제 1 캐리 카운터;

상기 제 1 스위칭 수단의 출력 신호 및 제 2 캐리 입력 신호, 그리고 다수의 제어 신호에 따라 뱅크 쓰기 신호 및 제 2 캐리 출력 신호를 출력하는 제 2 캐리 카운터;

제 1 뱅크 선택 신호 및 그 반전 신호에 따라 상기 뱅크 읽기 신호 또는 상기 뱅크 쓰기 신호를 선택적으로 출력하여 제 1 뱅크의 동작을 제어하기 위한 제 2 스위칭 수단;

제 2 뱅크 선택 신호 및 그 반전 신호에 따라 상기 뱅크 읽기 신호 또는 상기 뱅크 쓰기 신호를 선택적으로 출력하여 제 2 뱅크의 동작을 제어하기 위한 제 3 스위칭 수단을 포함하여 이루어진 것을 특징으로 하는 플래쉬 메모리 장치.

【청구항 2】

제 1 항에 있어서, 상기 부트 영역 선택 신호는 CFI 블록의 고정 데이터 저장 수단 또는 가변 데이터 저장 수단에서 코딩되어 생성되는 것을 특징으로 하는 플래쉬 메모리 장치.

【청구항 3】

제 1 항에 있어서, 상기 부트 영역 선택 신호는 프로텍션 블록에서 OTP 셀의 상태에 따라 생성되는 것을 특징으로 하는 플래쉬 메모리 장치.

【청구항 4】

제 1 항에 있어서, 상기 부트 영역 선택 신호는 전원 전압이나 접지 전압을 인가하여 생성된 고전압 또는 저전압에 의해 생성되는 것을 특징으로 하는 플래쉬 메모리 장치.

【청구항 5】

제 1 항에 있어서, 상기 제 1 스위칭 수단은 상기 부트 영역 선택 신호 및 그 반전 신호에 따라 구동되어 상기 래치 수단의 출력 신호의 반전 신호를 전달하기 위한 제 1 전달 게이트;

상기 부트 영역 선택 신호 및 그 반전 신호에 따라 구동되어 상기 래치 수단의 출력 신호를 전달하기 위한 제 2 전달 게이트로 이루어지되, 상기 제 1 및 제 2 전달 게이트는 상보적으로 동작하는 것을 특징으로 하는 플래쉬 메모리 장치.

【청구항 6】

제 1 항에 있어서, 상기 제 2 스위칭 수단은 상기 제 1 뱅크 선택 신호 및 그 반전 신호에 따라 상기 뱅크 읽기 신호를 출력하기 위한 제 1 전달 게이트; 및

상기 제 1 뱅크 선택 신호 및 그 반전 신호에 따라 상기 뱅크 쓰기 신호를 출력하기 위한 제 2 전달 게이트로 이루어지되, 상기 제 1 및 제 2 전달 게이트는 상보적으로 동작하는 것을 특징으로 하는 플래쉬 메모리 장치.

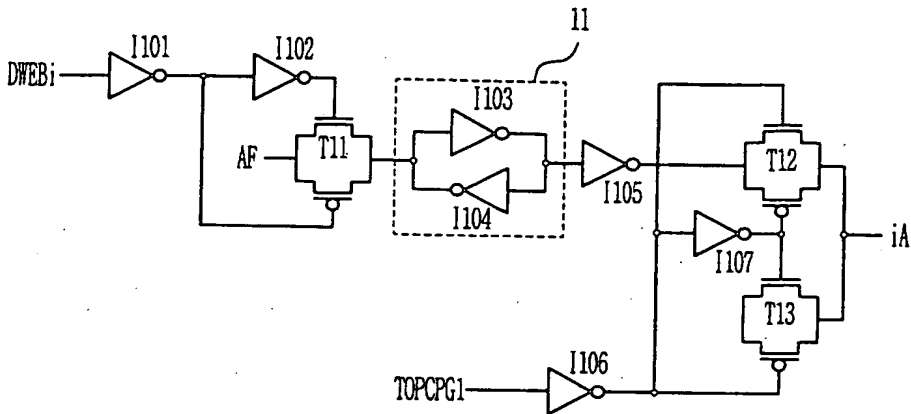
【청구항 7】

제 1 항에 있어서, 상기 제 3 스위칭 수단은 상기 제 1 뱅크 선택 신호 및 그 반전 신호에 따라 상기 뱅크 읽기 신호를 출력하기 위한 제 1 전달 게이트; 및

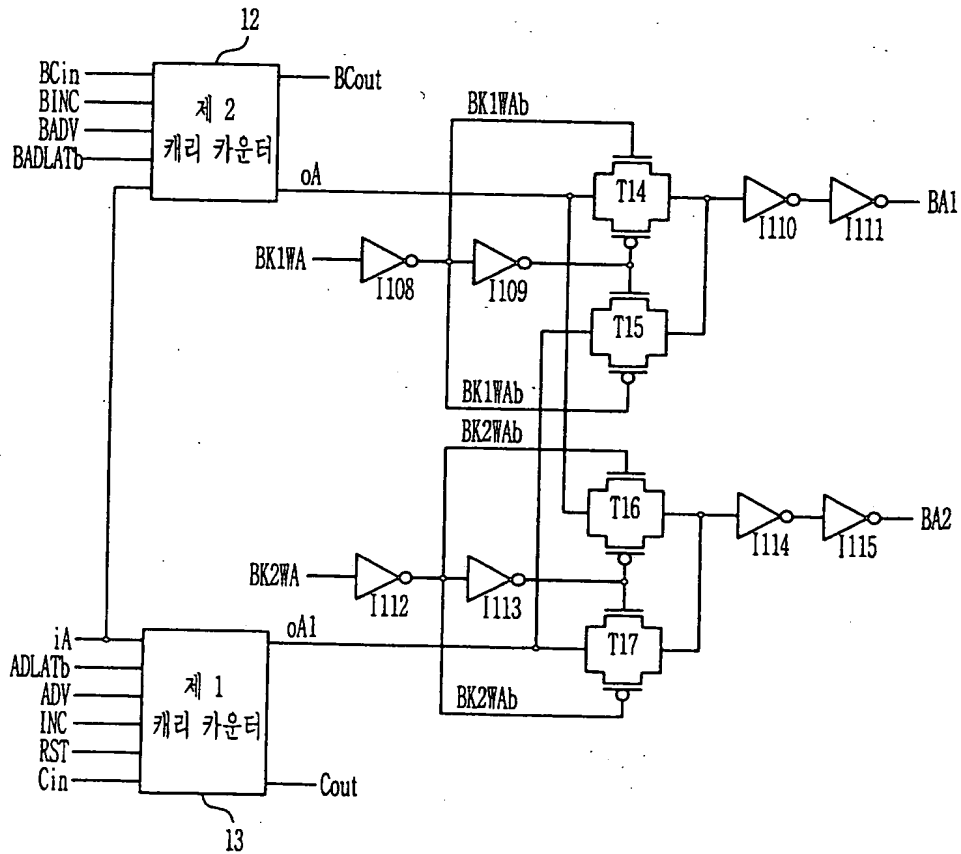
상기 제 1 뱅크 선택 신호 및 그 반전 신호에 따라 상기 뱅크 쓰기 신호를 출력하기 위한 제 2 전달 게이트로 이루어지되, 상기 제 1 및 제 2 전달 게이트는 상보적으로 동작하는 것을 특징으로 하는 플래쉬 메모리 장치.

【도면】

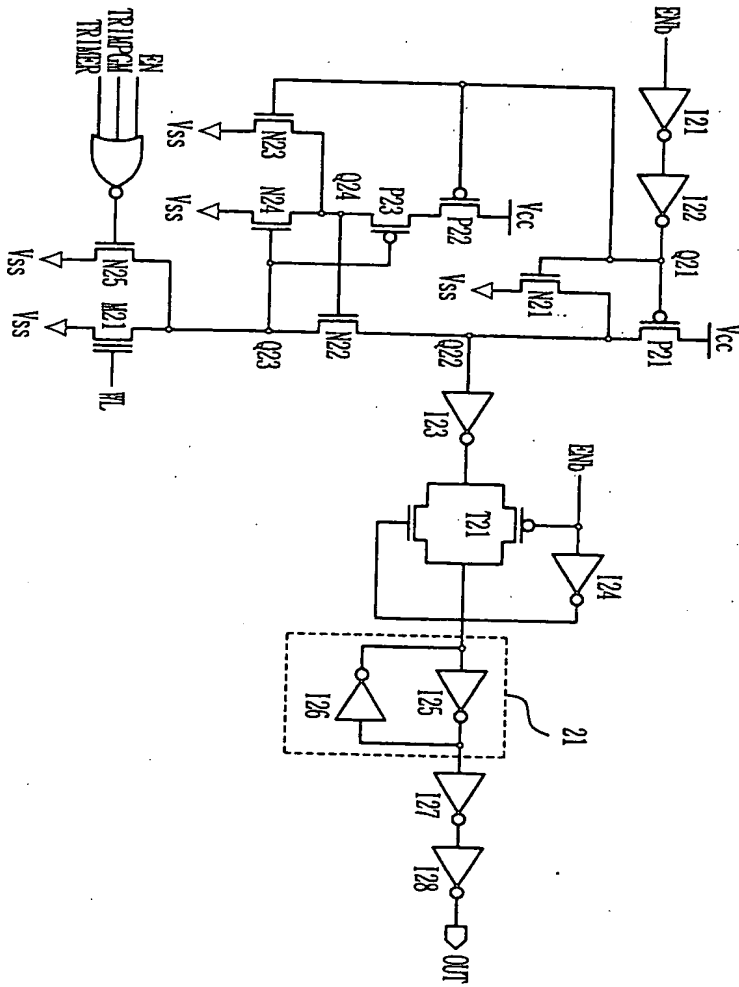
【도 1a】



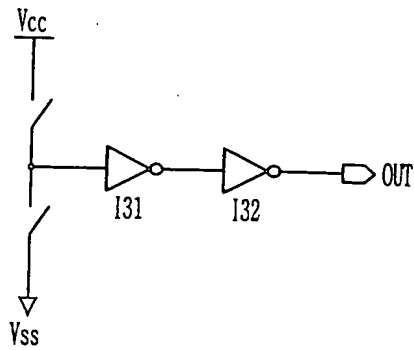
【도 1b】



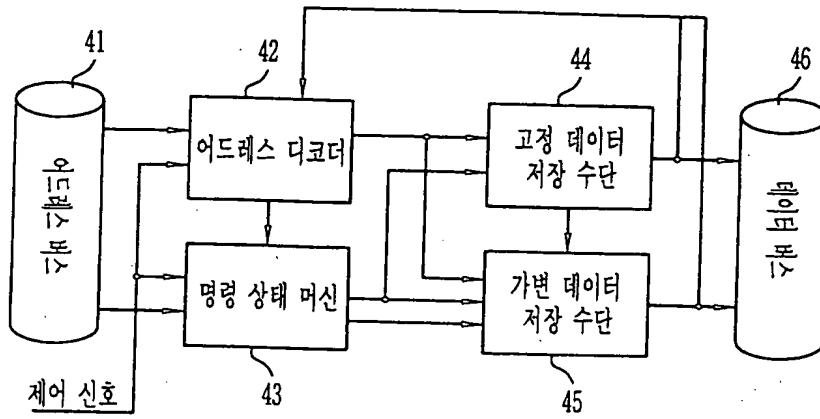
【도 2】

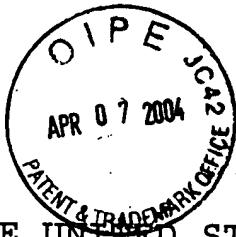


【도 3】



【도 4】





PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of: Sung-Kwon LEE, et al.

Serial No.: 10/607,052

Group Art Unit: 2812

Filed: June 27, 2003

Examiner: Not Yet Assigned

Title: METHOD FOR FABRICATING SEMICONDUCTOR DEVICE CAPABLE OF
REDUCING SEAM GENERATIONS

* * * * *

CLAIM FOR PRIORITY
UNDER 35 U.S.C. §119

Honorable Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

September 25, 2003

Sir:

The benefit of the filing date of prior foreign application
No. 2002-84097, filed in Korea on December 26, 2002, is hereby
requested and the right of priority provided in 35 U.S.C. §119 is
hereby claimed.

In support of this claim, filed herewith is a certified copy
of said original foreign application.

Respectfully submitted,

By: Yoon S. Ham by Sign C Baling
Yoon S. Ham
Reg. No. 45,307 Reg. No. 40,495

JACOBSON HOLMAN, PLLC
The Jenifer Building
400 Seventh Street, N.W.
Washington, D.C. 20004-2201
Telephone: (202) 638-6666

Atty. Docket No.: P68950US0
YSH:dj



대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2002-0084097
Application Number

출원 년 월 일 : 2002년 12월 26일
Date of Application DEC 26, 2002

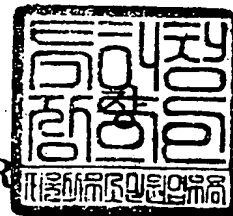
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 06 월 27 일

특 허 청

COMMISSIONER



1000048

10132711020020084097

0000032000

방식 심사 사관	담 당	심 사 관

【서류명】 명세서 등 보정서

【수신처】 특허청장

【제출일자】 2003.03.21

【제출인】

【명칭】 주식회사 하이닉스반도체

【출원인코드】 1-1998-004569-8

【사건과의 관계】 출원인

【대리인】

【명칭】 특허법인 신성

【대리인코드】 9-2000-100004-8

【지정된 변리사】 변리사 정지원, 변리사 원석희, 변리사 박해천

【포괄위임등록번호】 2000-049307-2

【사건의 표시】

【출원번호】 10-2002-0084097

【출원일자】 2002.12.26

【심사청구일자】 2003.03.21

【발명의 명칭】 공극 발생을 최소화할 수 있는 반도체소자 제조방법

【제출원인】

【접수번호】 1-1-02-0429839-34

【접수일자】 2002.12.26

【보정할 서류】 명세서등

【보정할 사항】

【보정대상항목】 별지와 같음

【보정방법】 별지와 같음

【보정내용】 별지와 같음

【추가청구항수】 1

【취지】 특허법시행규칙 제13조·실용신안법시행규칙 제8조의 규정에 의하여 위와 같이 제출합니다.

대리인

특허법인 신성 (인)

【수수료】

【보정료】

0 원

【추가심사청구료】

32,000 원

【기타 수수료】

0 원

【합계】

32,000 원

【첨부서류】 1.보정내용을 증명하는 서류[발명의상세한설명,특허청구범위 보정]_1
통

【보정대상 항목】 요약

【보정방법】 정정

【보정내용】

본 발명은 플러그 물질 증착시 우수한 단차피복성을 확보하여 공극에 의한 심 발생을 억제하기에 적합한 반도체소자 제조방법을 제공하기 위한 것으로, 이를 위해 본 발명은, 기판 상에 이웃하는 다수의 도전패턴을 형성하는 단계; 상기 도전패턴이 형성된 프로파일을 따라 식각정지막과 그 전면에 절연막을 차례로 형성하는 단계; 상기 절연막을 선택적으로 식각하여 상기 도전패턴 사이의 상기 식각정지막을 노출시키는 콘택홀을 형성하는 단계; 상기 도전패턴 상부의 상기 절연막 상에 오버행 구조의 캡핑층을 형성하는 단계; 비활성 가스를 이용하여 상기 캡핑층 측벽을 열화시키는 단계; 습식 세정을 실시하여 상기 콘택홀의 개구부를 확장함과 동시에 상기 열화된 캡핑층 측벽을 제거하는 단계; 상기 도전패턴 사이의 식각정지막을 제거하여 상기 기판을 노출시키는 단계; 및 상기 노출된 기판 표면에 콘택된 플러그를 형성하는 단계를 포함하는 반도체소자 제조방법을 제공한다.

【보정대상 항목】 식별번호 12

【보정방법】 정정

【보정내용】

본 발명은 반도체소자의 제조방법에 관한 것으로 특히, 플러그를 형성하기 위한 증착 공정에서 콘택홀이 형성된 하부 구조의 취약한 토폴로지(Topology)로 인해 발생

되는 폴리실리콘 등의 전도성 물질의 열악한 단차피복성(Stepcoverage)에 의한 심(Seam) 또는 공극(Void) 등의 발생을 방지할 수 있는 반도체소자 제조방법에 관한 것이다.

【보정대상 항목】 식별번호 13

【보정방법】 정정

【보정내용】

반도체 소자의 집적도가 증가함에 따라 미세 패턴의 제조가 매우 중요하게 되었다. 특히, 포토레지스트를 이용한 패턴 형성 공정 자체의 마진과 오버레이의 정확도(Overlay accuracy)를 안정적으로 확보하기 위해 도입된 SAC(Self Align Contact) 공정은 패턴 형성을 함에 있어서 별도의 마스크를 사용하지 않고 이미 증착된 물질을 이용하여 식각을 하는 방식이다.

SAC 공정은 비용 감소에 큰 역할을 하는 것으로, 여러가지 방법을 사용하고 있으나 대표적인 방법으로는 질화막을 식각방지막으로 사용하는 방식이다.

예컨대, 반도체 소자를 구성하는 일련의 하지 구조 상에 게이트전극 형성을 포함한 일련의 공정을 진행한 다음에, 층간절연막을 증착하고 포토레지스트 패턴을 형성한 다음, 포토레지스트 패턴을 식각마스크로 사용하여 층간절연막을 식각하여 게이트전극 사이의 기판 내의 활성층을 오픈시킨다. 이 때, 산화막 계열의 층간절연막과 게이트전극 상부의 식각방지막인 질화막과의 식각선택비 차에 의해 경사를 갖는 콘택홀을 형성하는 것이다.

【보정대상 항목】 식별번호 14

【보정방법】 정정

【보정내용】

이렇게 콘택홀을 형성하는 과정에서, 고집적화를 위한 수직적 소자 배열에 의해 발생하는 식각타겟의 증가로 인하여 과도한 식각공정에서의 게이트전극 및 하드마스크의 손실을 방지하기 위해 스페이서와 캡핑층 등을 추가적으로 형성하고 있다.

【보정대상 항목】 식별번호 19

【보정방법】 정정

【보정내용】

먼저, 도 2a에 도시된 바와 같이, 기판(SUB) 상에 소자분리막(10)을 형성한 다음, 산화막계열의 게이트절연막(11a)과 폴리실리콘, 텅스텐 또는 텅스텐 실리사이드 등을 단독 또는 혼합하여 게이트전극용 전도막(11b)과 실리콘질화막 또는 실리콘산화질화막 등의 질화막 계열을 이용하여 적당한 두께로 하드마스크(11c)를 차례로 증착한 후, 게이트전극 마스크를 이용한 사진식각 공정을 실시하여 게이트전극(11)을 형성한다.

【보정대상 항목】 식별번호 21

【보정방법】 정정

【보정내용】

계속해서, 게이트전극(11) 사이의 스페이스를 충분히 채울 수 있을 정도로 절연막(14)을 형성한다.

절연막(14)은 고온산화막(HTO), APL(Advanced Planalization Layer) 산화막, SOD(Spin On Dielectric), SOG(Spin On Glass), TEOS(Tetra Ethyl Ortho Silicate), BPSG(Boro Phospho Silicate Glass), PSG(Phospho Silicate Glass) 또는 BSG(Boro Silicate Glass) 등의 막 평탄화 특성이 우수한 물질을 사용하며, 2000Å ~ 10000Å의 두께로 형성하는 것이 바람직하다.

【보정대상 항목】 식별번호 27

【보정방법】 정정

【보정내용】

한편, 전술한 제1 내지 제3 식각가스를 각각 혼합하여 사용할 수 있으며, 제1식각 가스에 윈도우가 넓은 식각 공정을 확보하기 위해 $C_xH_yF_z$ ($x, y, z \geq 2$)를 혼합하여 사용할 수 있다.

【보정대상 항목】 식별번호 29

【보정방법】 정정

【보정내용】

여기서, 캡핑층(14)은 후속 기판(SUB) 표면 노출을 위한 식각정지막(11d) 제거 공

정시 하드마스크(11c)의 손실을 방지하기 위한 것이다.

하지만, 후속 공정인 습식 세정으로 콘택 개구부를 확장한 후, 전면식각으로 기관(SUB) 표면을 오픈시킨 다음, 플러그용 전도성 물질을 증착할 경우에 전술한 캡핑층(14)으로 인해 갭-필 특성이 열화되어 공극 및 심 발생이 유발된다.

【보정대상 항목】 식별번호 30

【보정방법】 정정

【보정내용】

이는 전술한 바와 같은 패턴 사이즈의 감소와 수직 단차의 증가에 따른 캡핑층(14)과 식각정지막(11d) 등의 도입 및 콘택 개구부 확장을 위한 습식 식각 공정 등의 플러그 물질을 증착하기 전 단계까지 완료된 프로파일이 활처럼 휨 형상인 보잉 프로파일(Bowing profile)로부터 기인된 것이다. 캡핑층(14)으로 통상적으로 사용되는 USG막이 층간절연막으로 사용되는 BPSG(Boro Phospho Silicate Glass)막에 비해 습식 식각 속도가 낮음으로써 발생하며, 특히 콘택 개구부를 확장하기 위한 습식 세정시간을 증가시킬수록 보잉 프로파일은 더욱 심하게 나타난다.

【보정대상 항목】 식별번호 36

【보정방법】 정정

【보정내용】

도 4를 참조하면, 전술한 공극과 심의 발생은 절연막의 언더컷에 의한 네가티브 경

사(Negative slope, Y)에 기인하는 것임을 알 수 있다. 이로 인해 후속 공정에서 플러그 격리(Isolation) 후 이러한 취약 지역에 플러그 심이 발생한다.

【보정대상 항목】 식별번호 37

【보정방법】 정정

【보정내용】

전술한 플러그 심은 소자의 누설전류의 증가 등 소자의 특성을 열화시키는 주원인으로 작용한다.

【보정대상 항목】 식별번호 39

【보정방법】 정정

【보정내용】

상기의 목적을 달성하기 위해 본 발명은, 기관 상에 이웃하는 다수의 도전패턴을 형성하는 단계; 상기 도전패턴이 형성된 프로파일을 따라 식각정지막과 그 전면에 절연막을 차례로 형성하는 단계; 상기 절연막을 선택적으로 식각하여 상기 도전패턴 사이의 상기 식각정지막을 노출시키는 콘택홀을 형성하는 단계; 상기 도전패턴 상부의 상기 절연막 상에 오버행 구조의 캡핑층을 형성하는 단계; 비활성 가스를 이용하여 상기 캡핑층 측벽을 열화시키는 단계; 습식 세정을 실시하여 상기 콘택홀의 개구부를 확장함과 동시에 상기 열화된 캡핑층 측벽을 제거하는 단계; 상기 도전패턴 사이의 식각정지막을 제거하여 상기 기관을 노출시키는 단계; 및 상기 노출

된 기판 표면에 콘택된 플러그를 형성하는 단계를 포함하는 반도체소자 제조방법을 제공한다.

【보정대상 항목】 식별번호 40

【보정방법】 정정

【보정내용】

본 발명은 게이트전극 등의 도전패턴 상부에 단차피복성이 불량한 캡핑층을 증착하고 비활성 가스를 사용한 플라즈마 식각 또는 이온주입으로 캡핑층의 측벽을 열화시킨 후, 콘택 개구부의 확장을 위한 습식 세정 단계에서 열화된 캡핑층이 손실되도록 유발함으로써, 보잉 프로파일을 방지하고 콘택 개구부를 확장한 다음 전면 식각을 통해 하부 기판과 노출시킨 다음, 플러그 물질을 증착한다.

【보정대상 항목】 식별번호 41

【보정방법】 정정

【보정내용】

즉, 플러그 증착 전에 플러그가 증착될 하부의 프로파일을 개선함으로써, 플러그 형성시 갭-필 특성을 향상시켜 공극과 플러그 심 발생을 방지할 수 있도록 한다.

【보정대상 항목】 식별번호 45

【보정방법】 정정

【보정내용】

먼저, 도 5a에 도시된 바와 같이, 도 2b의 콘택홀(12)이 형성된 전체 구조에서 게이트전극 패턴 상단부에 위치한 캡핑층(14)의 측벽을 도면부호 '17'과 같이 비활성 가스를 이용하여 열화시킨다.

【보정대상 항목】 식별번호 46

【보정방법】 정정

【보정내용】

이 때, 비활성 가스로는 He, Ne, Ar, Kr 또는 Xe 등을 사용하며, 비활성 가스를 이용하여 캡핑층(14) 측벽에 이온주입하거나 플라즈마 식각하는 방식을 사용한다.

따라서, 열화된 캡핑층의 측벽(17) 부위는 후속 습식세정 공정에서 쉽게 제거가 된다.

【보정대상 항목】 식별번호 47

【보정방법】 정정

【보정내용】

이어서, 콘택홀(12)의 개구부를 넓히기 위해 묽은 불산계 케미컬을 이용하여 습식 세정을 실시한다. 이 때, 열화된 캡핑층의 측벽(17) 부위는 제거된다. 도 5b는 캡핑층(14)의 측벽이 세정 공정에 의해 제거된 공정 단면을 나타낸다.

【보정대상 항목】 식별번호 49

【보정방법】 정정

【보정내용】

따라서, 캡핑층(14)의 네거티브 프로파일은 개선되며, 후속 플러그용 전도막 증착 시 공극 발생을 억제할 수 있다.

【보정대상 항목】 식별번호 50

【보정방법】 정정

【보정내용】

이어서, 전면식각을 실시하여 콘택홀(12) 저면의 식각정지막(11d)을 제거하며, 이때 게이트전극 패턴(10) 양측벽에 스페이서 형태로 남는다.

【보정대상 항목】 식별번호 52

【보정방법】 정정

【보정내용】

계속해서, 캡핑층(14)의 상부 표면이 노출될 때까지 CMP 또는 전면식각 공정으로 전도막을 평탄화 식각한다. CMP 공정으로 식각 하는 경우, 통상의 폴리실리콘 또는 텅스텐 식각용 슬러리를 사용한다.

【보정대상 항목】 식별번호 53

【보정방법】

정정

【보정내용】

이어서, 하드마스크(11c)의 상부 표면이 노출될 때까지 캡핑층(14) 및 전도막을 CMP 공정으로 평탄화 식각하면 도 5c에 도시된 바와 같이, 플러그(18)가 서로 전기적으로 분리된다. 캡핑층(14) 및 전도막에 대한 CMP 공정은 통상의 산화막 식각용 슬러리를 사용하여 수행된다.

【보정대상 항목】

식별번호 54

【보정방법】

정정

【보정내용】

전술한 바와 같이 본 발명은, 고집적화에 따라 필연적으로 문제시되는 플러그 형성시의 갭-필 문제를 해결하기 위해 비활성 가스를 이용하여 캡핑층의 측벽을 열화시킨 후, 개구부 확장을 위한 세정공정에서 열화된 캡핑층 측벽을 제거하여 도전패턴을 포함하는 프로파일을 개선시켜 후속 플러그 물질 증착시 갭-필 특성을 향상시킬 수 있어, 공극의 발생을 억제할 수 있고 이로 인해 플러그 내의 심 발생을 억제하여 반도체소자의 결함 발생을 감소시킬 수 있음을 실시예를 통해 알아 보았다.

【보정대상 항목】

청구항 1

【보정방법】

정정

【보정내용】

기판 상에 이웃하는 다수의 도전패턴을 형성하는 단계;

상기 도전패턴이 형성된 프로파일을 따라 식각정지막과 그 전면에 절연막을 차례로 형성하는 단계;

상기 절연막을 선택적으로 식각하여 상기 도전패턴 사이의 상기 식각정지막을 노출시키는 콘택홀을 형성하는 단계;

상기 도전패턴 상부의 상기 절연막 상에 오버행 구조의 캡핑층을 형성하는 단계;

비활성 가스를 이용하여 상기 캡핑층 측벽을 열화시키는 단계;

습식 세정을 실시하여 상기 콘택홀의 개구부를 확장함과 동시에 상기 열화된 캡핑층 측벽을 제거하는 단계;

상기 도전패턴 사이의 식각정지막을 제거하여 상기 기판을 노출시키는 단계;
및

상기 노출된 기판 표면에 콘택된 플러그를 형성하는 단계
를 포함하는 반도체소자 제조방법.

【보정대상 항목】 청구항 6

【보정방법】 추가

【보정내용】

제 1 항에 있어서,

상기 도전패턴은,

게이트전극 패턴, 비트라인 패턴 또는 금속배선을 포함하는 것을 특징으로 하는 반도체소자 제조방법.

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0020
【제출일자】	2002. 12. 26
【발명의 명칭】	공극 발생을 최소화할 수 있는 반도체소자 제조방법
【발명의 영문명칭】	METHOD FOR FABRICATING SEMICONDUCTOR DEVICE WITH IMPROVED PROTECTION OF VOID
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【발명자】	
【성명의 국문표기】	이성권
【성명의 영문표기】	LEE, Sung Kwon
【주민등록번호】	640301-1268621
【우편번호】	467-860
【주소】	경기도 이천시 부발읍 현대7차아파트 706-1401
【국적】	KR
【발명자】	
【성명의 국문표기】	이민석
【성명의 영문표기】	LEE, Min Suk
【주민등록번호】	720815-1009119
【우편번호】	463-010
【주소】	경기도 성남시 분당구 정자동 121 상록우성아파트 305-1302
【국적】	KR

20020084097

출력 일자: 2003/6/27

【취지】

특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인
성 (인) 특허법인 신

【수수료】

【기본출원료】

18 면 29,000 원

【가산출원료】

0 면 0 원

【우선권주장료】

0 건 0 원

【심사청구료】

0 항 0 원

【합계】

29,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】

【요약】

본 발명은 플러그 물질 증착시 우수한 단차피복성을 확보하여 공극에 의한 심 발생을 억제하기에 적합한 반도체소자 제조방법을 제공하기 위한 것으로, 이를 위해 본 발명은, 기판 상에 이웃하는 다수의 도전패턴을 형성하는 단계; 상기 도전패턴이 형성된 프로파일을 따라 식각정지막과 그 전면에 절연막을 차례로 형성하는 단계; 상기 절연막을 선택적으로 식각하여 상기 도전패턴 사이의 상기 식각정지막을 노출시키는 콘택홀을 형성하는 단계; 상기 게이트전극 상부의 상기 절연막 상에 오버행 구조의 캡핑층을 형성하는 단계; 비활성 가스를 이용하여 상기 캡핑층 측벽을 열화시키는 단계; 상기 콘택홀의 개구부를 확장하기 위해 습식 세정을 실시하며, 이 때 상기 열화된 캡핑층 측벽을 제거하는 단계; 상기 도전패턴 사이의 식각정지막을 제거하여 상기 기판을 노출시키는 단계; 및 상기 노출된 기판 표면에 콘택된 플러그를 형성하는 단계를 포함하는 반도체소자 제조방법을 제공한다.

【대표도】

도 5a

【색인어】

심(Seam), SAC, 게이트전극, 플러그, 공극(Void).

【명세서】

【발명의 명칭】

공극 발생을 최소화할 수 있는 반도체소자 제조방법 {METHOD FOR FABRICATING SEMICONDUCTOR DEVICE WITH IMPROVED PROTECTION OF VOID}

【도면의 간단한 설명】

도 1은 플러그 형성을 위한 SAC 공정이 완료된 반도체소자를 도시한 평면도.

도 2a와 도 2b는 도 1을 각각 A-A' 및 B-B' 방향으로 절단한 종래기술에 따른 반도체소자의 공정 단면도.

도 3은 플러그용 전도성 물질 증착 및 전면식각 후의 공정 평면을 도시한 SEM 사진.

도 4는 플러그 형성을 위한 콘택홀 형성 후의 공정 단면을 도시한 SEM 사진.

도 5a 내지 도 5c는 본 발명의 일실시예에 따른 반도체소자 제조 공정을 도시한 단면도.

* 도면의 주요부분에 대한 부호의 설명 *

SUB : 기판 10 : 소자분리막

11 : 게이트전극 11a : 게이트절연막

11b : 게이트전극용 전도막 11c : 하드마스크

11d : 스페이서 13 : 절연막

14 : 캡핑층

17 : 열화된 캡핑층 측벽

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<12> 본 발명은 반도체소자의 제조방법에 관한 것으로 특히, 폴리실리콘 등의 플러그를 형성하기 위한 증착 공정에서 취약한 토폴로지(Topology)에 의해 단차피복성(Stepcoverage)의 악화에 기인한 심(Seam) 또는 공극(Void) 등의 발생을 방지할 수 있는 반도체소자 제조방법에 관한 것이다.

<13> 반도체 소자의 집적도가 증가함에 따라 미세 패턴의 제조가 매우 중요하게 되었다. 특히, 포토레지스트를 이용한 패턴 형성 공정 자체의 마진과 오버레이의 정확도(Overlay accuracy)를 안정적으로 확보하기 위해 도입된 SAC(Self Align Contact) 공정은 패턴 형성을 함에 있어서 별도의 마스크를 사용하지 않고 이미 증착된 물질을 이용하여 식각을 하는 방식으로 비용 감소에 큰 역할을 하는 것으로, SAC 공정 자체는 여러가지 방법을 사용하고 있으나 대표적인 방법으로는 질화막을 식각방지막으로 사용한다. 예컨대, 반도체 소자를 구성하는 일련의 하지 구조 상에 게이트전극 형성을 포함한 일련의 공정을 진행한 다음에, 층간절연막을 증착하고 포토레지스트 패턴을 형성한 다음, 포토레지스트 패턴을 식각마스크로 사용하여 층간절연막을 식각하여 게이트전극 사이의 기판내의 활성층을 오픈시킬 때, 산화막 계열의 층간절연막과 게이트전극 상부의 식각방지막인 질화막과의 식각선택비 차에 의해 경사를 갖는 콘택홀을 형성하는 것이다.

이렇게 콘택홀을 형성하는 과정에서, 고집적화를 위한 수직적 소자 배열에 의해 식각타겟의 증가로 인하여 과도한 식각공정에서의 게이트전극 및 하드마스크의 손실을 방지하기 위해 스페이서와 캡핑층 등을 추가적으로 형성하고 있다.

<15> 도 1은 플러그 형성을 위한 SAC 공정이 완료된 반도체소자를 도시한 평면도이다.

<16> 도 1을 참조하면, 활성층을 포함하는 기판(SUB)에 소자분리막(10)이 국부적으로 배치되어 있으며, 소자분리막(10)과 교차되는 방향으로 게이트전극(11)이 다수 배치되어 있다.

<17> 여기서, 도면부호 '12'는 플러그 형성을 위해 오픈되는 영역 즉, 콘택홀을 나타낸다

<18> 도 2a와 도 2b는 도 1을 각각 A-A' 및 B-B' 방향으로 절단한 종래기술에 따른 반도체소자의 공정 단면도인 바, 이하 도 2a와 도 2b를 참조하여 종래기술에 따른 반도체소자 제조 공정을 살펴본다.

<19> 먼저, 도 2a에 도시된 바와 같이, 기판(SUB) 상에 소자분리막(10)을 형성한 다음, 산화막계열의 게이트절연막(11a)과 폴리실리콘, 텅스텐 또는 텅스텐 실리사이드 등을 단독 또는 혼합하여 게이트전극용 전도막(11b)과 실리콘질화막 또는 실리콘산화질화막 등을 이용하여 적당한 두께로 하드마스크(11c)를 차례로 증착한 후, 게이트전극 마스크를 이용한 사진식각 공정을 실시하여 게이트전극(11)을 형성한다.

<20> 이어서, 게이트전극(11) 측벽에 실리콘질화막 또는 실리콘산화질화막을 이용하여 식각정지막(11d)을 형성한다,

계속해서, 게이트전극(11) 사이의 스페이스를 충분히 채울 수 있을 정도로 절연막(14)을 형성하는 바, 이 때 고온산화막(HTO), APL(Advanced Planalization Layer) 산화막, SOD(Spin On Dielectric), SOG(Spin On Glass), TEOS(Tetra Ethyl Ortho Silicate), BPSG(Boro Phospho Silicate Glass), PSG(Phospho Silicate Glass) 또는 BSG(Boro Silicate Glass) 등의 막 평탄화 특성이 우수한 물질을 사용하여 예컨대, 2000Å ~ 10000Å의 두께로 형성한다.

<22> 이 때, 절연막(14)은 하드마스크(11c) 상부에서 0Å ~ 1000Å의 두께가 되도록 증착 또는 증착/평탄화 공정을 실시하는 것이 바람직하다.

<23> 이어서, 비트라인 또는 스토리지노드 등의 콘택을 위한 콘택홀(12)을 형성하는 바, 콘택 형성을 위한 포토레지스트 패턴(도시하지 않음)을 형성한 다음, 통상적인 SAC 공정을 통해 게이트전극(11) 사이의 기판(SUB) 상부 예컨대, 불순물확산영역 상부를 오픈시킨다.

<24> 구체적으로, BPSG 등의 절연막(13) 식각시 하부의 질화막 계열의 물질 즉, 하드마스크(11c)와 식각정지막(11d), 과의 고선택비를 갖도록 제1식각가스로 C_3F_8 , C_4F_8 , C_5F_8 , C_4F_6 또는 C_2F_4 등의 다량의 폴리머를 유발하는 과탄소 함유가스를 사용한다.

<25> 또한, 전술한 고선택비에 식각 공정 윈도우(Window)를 증가시켜 재현성 있는 식각 공정을 확보하기 위한 제2식각가스로 CHF_3 , C_2HF_5 , CH_2F_2 , CH_3F , CH_2 , CH_4 , C_2H_4 또는 H_2 등을 사용할 수 있다.

<26> 또한, 플라즈마 안정 및 스퍼터링 효과를 증가시켜 식각 멈춤 등을 개선시키기 위한 제3식각가스로 He, Ne, Ar, Kr 또는 Xe 등의 불활성가스를 사용할 수 있다.

한편, 전술한 제1 내지 제3 식각가스를 각각 혼합하여 사용할 수 있으며, 제1식각 가스에 윈도우가 넓은 식각 공정을 확보하기 위해 $C_xH_yF_z$ ($x, y, z \geq 2$)를 혼합하여 사용할 수 있다.

<28> 이어서, 도 2b에 도시된 바와 같이, USG 등의 단차피복성이 비교적 떨어지는 절연물질을 증착하여 게이트전극(11) 상부에 오버-행(Over-hang) 구조의 캡핑층(14)을 형성한다.

<29> 여기서, 캡핑층(14)은 후속 기판(SUB) 표면 노출을 위한 식각정지막(11d) 제거 공정시 하드마스크(11c)의 손실을 방지하기 위한 것이다. 하지만, 이러한 캡핑층(14)으로 인해 습식 세정으로 콘택 개구부를 확장한 다음에 전면식각으로 기판(SUB) 표면을 오픈시킨 다음에, 플러그용 전도성 물질을 증착할 경우에 공극이 발생하고 이로 인해 심 발생이 유발된다.

<30> 이는 전술한 바와 같은 패턴 사이즈의 감소와 수직 단차의 증가에 따른 캡핑층(14)과 식각정지막(11d) 등의 도입 및 콘택 개구부 확장을 위한 습식 식각 공정 등에 의해 플러그 물질을 증착하기 전 단계까지 완료된 프로파일이 활처럼 휨 형상인 보잉 프로파일(Bowing profile)로부터 기인된 것이다. 캡핑층(14)으로 통상적으로 사용되는 USG막이 층간절연막으로 사용되는 BPSG(Boro Phospho Silicate Glass)막에 비해 습식 식각 속도가 낮음으로써 발생하며, 특히 콘택 개구부를 확장하기 위한 습식 세정시간을 증가시킬수록 보잉 프로파일은 더욱 심하게 나타난다.

<31> 캡핑층(14)은 전술한 USG막 이외에 피복특성이 열악한 PE-TEOS(Plasma Enhanced-Tetra Ethyl Ortho Silicate)막을 이용할 수 있으며, 이를 통해 캡핑층(14)은 전체 프로파일 상에서 오버-행 구조가 된다.

<32> 도 3은 플러그용 전도성 물질 증착 및 전면식각 후의 공정 평면을 도시한 SEM 사진이다.

<33> 도 3을 참조하면, 스토리지노드콘택 플러그(SNC) 및 비트라인콘택 플러그(BLC)가 형성되어 있으며, 이러한 플러그들 중에 공극(X)이 발생됨을 알 수 있다.

<34> 이러한 공극의 발생은 전술한 SAC 식각 후 게이트 하드마스크와 절연막의 증착에 따라 형성된 프로파일 상의 문제에 기인하는 것으로 볼 수 있다.

<35> 도 4는 플러그 형성을 위한 콘택홀 형성 후의 공정 단면을 도시한 SEM 사진이다.

<36> 도 4를 참조하면, 전술한 공극과 심의 발생은 절연막의 언더컷에 의한 네가티브 경사(Negative slope, Y)에 기인하는 것임을 알 수 있다. 이로 인해 후속 공정에서 플러그 격리(Isolation) 후 이러한 취약 지역에 심(X)이 발생한다.

<37> 전술한 심은 소자의 누설전류의 증가 등 소자의 특성을 열화시키는 주원인으로 작용한다.

【발명이 이루고자 하는 기술적 과제】

<38> 본 발명은 상기한 종래기술의 문제점을 해결하기 위해 제안된 것으로서, 플러그 물질 증착시 우수한 단차피복성을 확보하여 공극에 의한 심 발생을 억제하기에 적합한 반도체소자 제조방법을 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

<39>

상기의 목적을 달성하기 위해 본 발명은, 기판 상에 이웃하는 다수의 도전패턴을 형성하는 단계; 상기 도전패턴이 형성된 프로파일을 따라 식각정지막과 그 전면에 절연막을 차례로 형성하는 단계; 상기 절연막을 선택적으로 식각하여 상기 도전패턴 사이의 상기 식각정지막을 노출시키는 콘택홀을 형성하는 단계; 상기 게이트전극 상부의 상기 절연막 상에 오버행 구조의 캡핑층을 형성하는 단계; 비활성 가스를 이용하여 상기 캡핑층 측벽을 열화시키는 단계; 상기 콘택홀의 개구부를 확장하기 위해 습식 세정을 실시하며, 이 때 상기 열화된 캡핑층 측벽을 제거하는 단계; 상기 도전패턴 사이의 식각정지막을 제거하여 상기 기판을 노출시키는 단계; 및 상기 노출된 기판 표면에 콘택된 플러그를 형성하는 단계를 포함하는 반도체소자 제조방법을 제공한다.

<40>

본 발명은 게이트전극 패턴 상부에 단차피복성이 불량한 캡핑 산화막층을 증착하고 비활성 가스를 사용한 플라즈마 식각 또는 이온주입으로 캡핑 산화막층의 측벽을 열화시킨 후, 콘택 개구부의 확장을 위한 습식 세정 단계에서 게이트전극 패턴 상단부의 캡핑 산화막층 습식 세정 단계에서 손실되도록 유발함으로써, 보잉 프로파일을 방지하고 콘택 개구부를 확장한 다음 전면 식각을 통해 하지 기판과 통전한다.

<41>

따라서, 플러그 증착 전에 그 프로파일을 개선하고 플러그 형성에 따른 공극의 발생을 방지한다.

> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부한 도면을 참조하여 상세하게 설명한다.

<43> 도 5a 내지 도 5c는 본 발명의 일실시예에 따른 반도체소자 제조 공정을 도시한 단면도이다.

<44> 먼저, 본 발명의 반도체소자 제조 공정은 전술한 종래기술에서 제시한 바와 동일한 부분을 포함하고 있는 바, 도 1과 도 2a 및 도 2b의 공정까지는 동일하게 진행한다. 따라서, 도 2b 까지의 공정은 설명의 간략화를 위해 생략하고 동일한 구성요소에 대해서는 동일부호를 사용한다. 또한, 이후의 공정을 도시한 도 5a 내지 도 5c를 참조하여 상세히 후술한다.

<45> 먼저, 도 5a에 도시된 바와 같이, 도 2b와 같이 콘택홀(12)이 형성된 전체 구조에서 게이트전극 패턴 상단부에 위치한 캡핑층(14)의 측벽을 도면부호 '17'과 같이 열화시킨다.

<46> 이 때, 비활성 가스는 He, Ne, Ar, Kr 또는 Xe 등이며, 이러한 비활성 가스를 이용하여 캡핑층(14) 측벽에 이온주입하거나 플라즈마 식각하는 방식을 사용한다.

<47> 이어서, 콘택홀(12)의 개구부를 넓히기 위해 묽은 불산계 케미컬을 이용하여 습식 세정을 실시한다. 이 때, 열화된 캡핑층의 측벽(17)은 제거된다. 도 5b는 이렇게 캡핑층(14)의 측벽이 세정 공정에 의해 제거된 공정 단면을 나타낸다.

- <48> 이 때, 세정용 케미컬은 암모니아수(NH_4OH)와 불산(HF)의 비율이 50:1 ~ 500:1인 완충산화막식각제(Buffered Oxide Etchant; 이하 BOE라 함)나, 물과 불산의 비율이 50:1 ~ 500:1인 묽은 불산을 사용하는 것이 바람직하다.
- <49> 따라서, 캡핑층(14)의 네거티브 프로파일은 개선되며, 후속 플러그용 전도막 증착 시 공공 형성을 방지할 수 있다.
- <50> 이어서, 콘택홀(12) 저면의 식각정지막(11d)을 제거하며, 이 때 게이트전극 패턴(10) 양측벽에 스페이서 형태로 남는다. 이 때는 주로 전면식각을 이용한다.
- <51> 이어서, 콘택홀(12)이 완전히 채워질 때까지 전면에 플러그용 전도막 예를 들어, 폴리실리콘막 또는 텅스텐막을 증착한다. 전도막은 3000Å ~ 7000Å의 두께로 증착하는 것이 바람직하다.
- <52> 캡핑층(14)의 상부 표면이 노출될 때까지 CMP 또는 전면식각 공정으로 전도막을 평탄화 식각한다. 전도막을 CMP 공정으로 식각 하는 경우, 통상의 폴리실리콘 또는 텅스텐 식각용 슬러리를 사용한다.
- <53> 다음, 하드마스크(11c)의 상부 표면이 노출될 때까지 캡핑층(14) 및 전도막을 CMP 공정으로 평탄화 식각 하면 도 5c에 도시된 바와 같이, 플러그(18)가 서로 전기적으로 분리된다. 캡핑층(14) 및 전도막에 대한 CMP 공정은 통상의 산화막 식각용 슬러리를 사용하여 수행된다.
- <54> 전술한 바와 같이 본 발명은, 고집적화에 따라 필연적으로 문제시되는 플러그 형성 시의 갭-필 문제를 해결하기 위해 종래의 스페이서용 절연막의 형성을 2단계로 나누되

그 전체 두께는 거의 동일하게 하여 콘택영역을 감소시키지 않으며, 이 때 두번째로 증착하는 스페이서용 절연막을 전면식각시 일종의 마스크층으로 이용하면서 상부의 프로파일을 변화시켜 갭-필 특성을 향상시킬 수 있어, 공극의 발생을 억제할 수 있고 이로 인해 플러그 내의 심 발생을 억제하여 반도체소자의 결함 발생을 감소시킬 수 있음을 실시예를 통해 알아 보았다.

<55> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

<56> 예컨대, 전술한 본 발명의 실시예에서는 게이트전극 패턴 사이에 플러그를 형성하는 것을 그 일례로 하였으나, 게이트전극 패턴 이외에 비트라인 또는 금속배선 등의 모든 전도성 패턴에 적용이 응용 가능하다.

【발명의 효과】

<57> 상술한 바와 같은 본 발명은, 플러그 형성시 공극의 발생을 억제함으로써, 궁극적으로 반도체소자의 수율을 향상시킬 수 있는 탁월한 효과를 기대할 수 있다.

【특허청구범위】**【청구항 1】**

기판 상에 이웃하는 다수의 도전패턴을 형성하는 단계;

상기 도전패턴이 형성된 프로파일을 따라 식각정지막과 그 전면에 절연막을 차례로 형성하는 단계;

상기 절연막을 선택적으로 식각하여 상기 도전패턴 사이의 상기 식각정지막을 노출시키는 콘택홀을 형성하는 단계;

상기 게이트전극 상부의 상기 절연막 상에 오버행 구조의 캡핑층을 형성하는 단계;

비활성 가스를 이용하여 상기 캡핑층 측벽을 열화시키는 단계;

상기 콘택홀의 개구부를 확장하기 위해 습식 세정을 실시하며, 이 때 상기 열화된 캡핑층 측벽을 제거하는 단계;

상기 도전패턴 사이의 식각정지막을 제거하여 상기 기판을 노출시키는 단계; 및

상기 노출된 기판 표면에 콘택된 플러그를 형성하는 단계

를 포함하는 반도체소자 제조방법.

【청구항 2】

제 1 항에 있어서,

상기 캡핑층 측벽을 열화시키는 단계에서, 상기 비활성 가스를 사용한 플라즈마 식각 방식을 이용하는 것을 특징으로 하는 반도체소자 제조방법.

【청구항 3】

제 1 항에 있어서,

상기 캡핑층 측벽을 열화시키는 단계에서, 상기 비활성 가스를 상기 캡핑층 측벽에 이온주입하는 것을 특징으로 하는 반도체소자 제조방법.

【청구항 4】

제 1 항에 있어서,

상기 식각정지막은 질화막 계열 또는 산화막 계열을 포함하는 것을 특징으로 하는 반도체소자 제조방법.

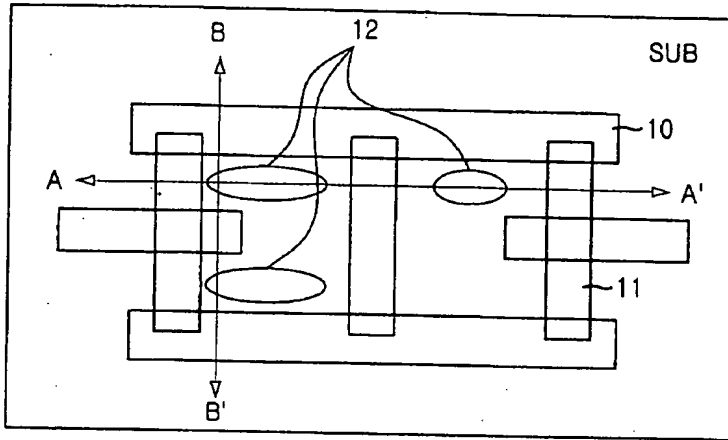
【청구항 5】

제 1 항에 있어서,

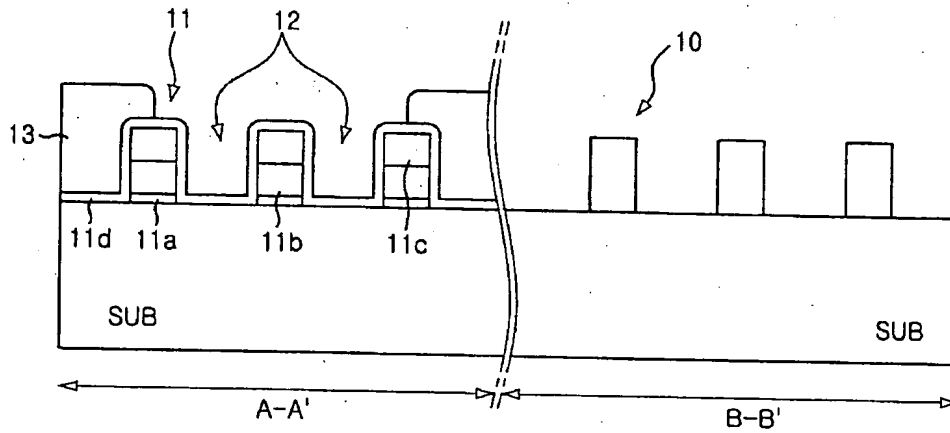
상기 캡핑층은, USG막을 포함하는 것을 특징으로 하는 반도체소자 제조방법.

【도면】

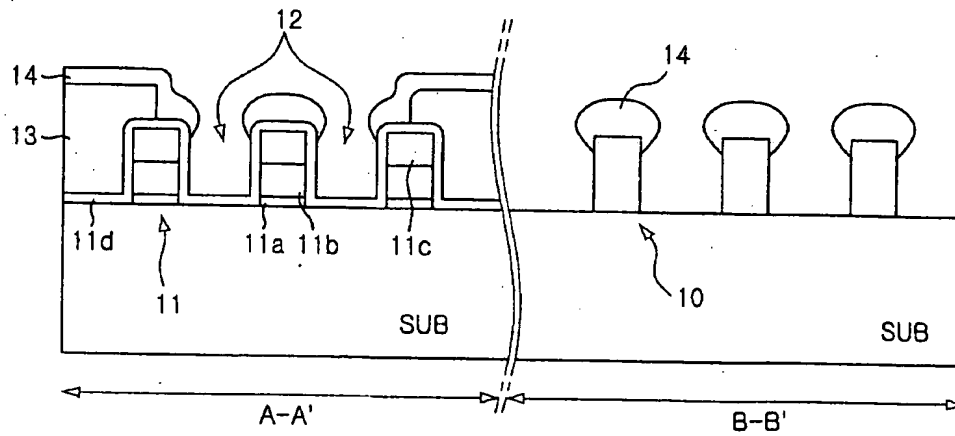
【도 1】



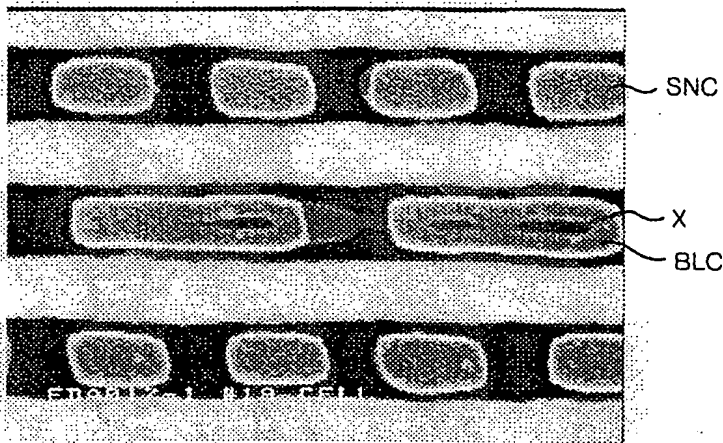
【도 2a】



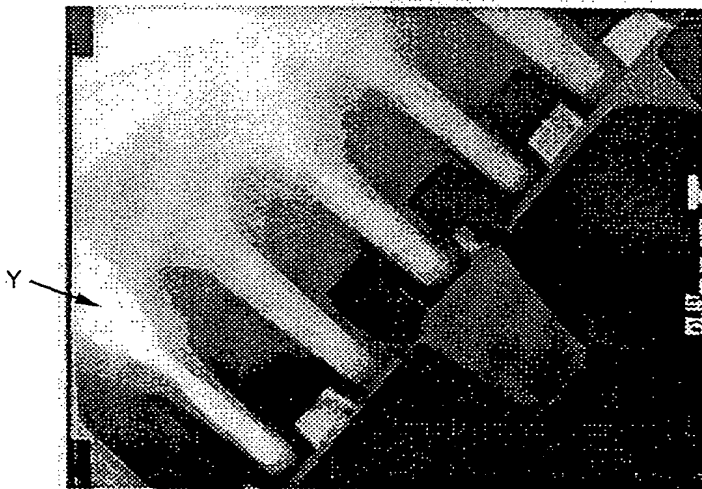
【도 2b】



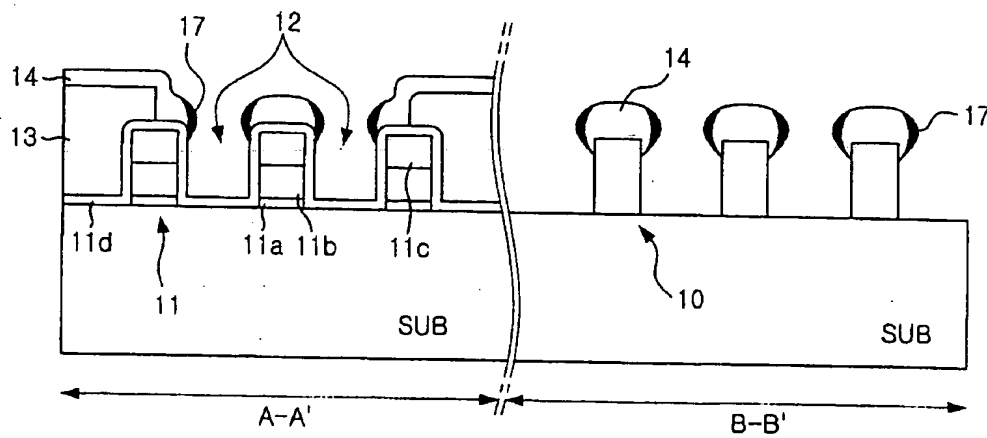
【도 3】



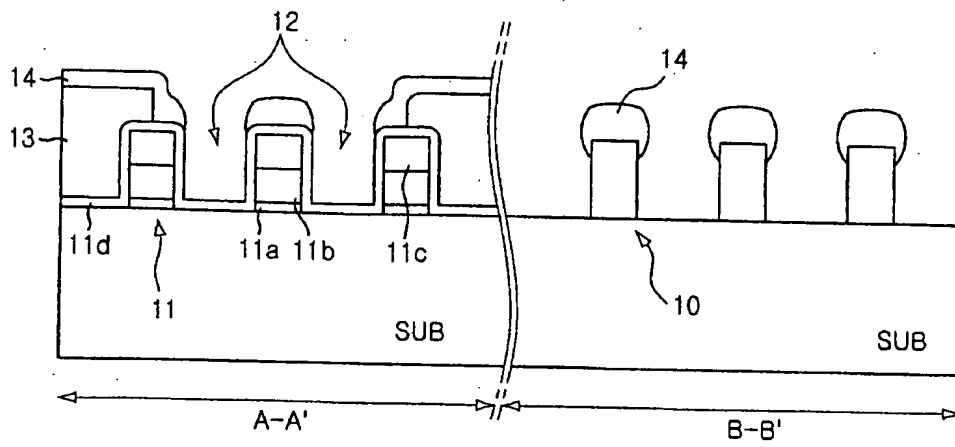
【도 4】



【도 5a】



【도 5b】



【도 5c】

